

5/13/02  
Translate Orders

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

06213154 \*\*Image available\*\*

NONVOLATILE MEMORY AND MANUFACTURE THEREOF

PUB. NO.: 11-154714 [JP 11154714 A]

PUBLISHED: June 08, 1999 (19990608)

INVENTOR(s): YAMAZAKI SHUNPEI

KOYAMA JUN

HAYASHI YOSHISUKE

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 10-158315 [JP 98158315]

FILED: May 22, 1998 (19980522)

PRIORITY: 09273454 [JP 979273454], JP (Japan), September 20, 1997  
(19970920)

INTL CLASS: H01L-021/8247; H01L-029/788; H01L-029/792; H01L-027/115;  
H01L-029/786

#### ABSTRACT

PROBLEM TO BE SOLVED: To form memory cells integrally with the other parts of a semiconductor device and to reduce size of the semiconductor, by arranging the memory cells in a matrix, and by making thickness of the semiconductor active layer of a memory TFT formed on an insulating substrate smaller than that of the semiconductor active layer of the switching TFT.

SOLUTION: Memory cells including a memory element Tr1 and a switching element Tr2 are arranged in a matrix. The memory element Tr1 comprises a semiconductor active layer 202 formed on an insulating substrate, a gate insulating film 211, a floating gate electrode 213, an anodic oxide film 214 produced by anodizing the floating gate electrode 213, and a control gate electrode 215. The switching element Tr2 comprises a semiconductor active layer 206 formed on an insulating substrate, a gate insulating film 212, and a gate electrode. The thickness d1 of the semiconductor active layer 202 of the memory element Tr1 is smaller than the thickness d2 of the semiconductor active layer 206 of the switching element Tr2.

COPYRIGHT: (C)1999, JPO

?

09/774888

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

012585248 \*\*Image available\*\*

WPI Acc No: 1999-391355/199933

XPX Acc No: N99-293745

Barrier layer structure of non-volatile memory e.g. EEPROM - has set of barrier layers, arranged on insulated substrate for memory TFT and drive TFT, with differing thickness

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11154714	A	19990608	JP 98158315	A	19980522	199933 B

Priority Applications (No Type Date): JP 97273454 A 19970920

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11154714	A	25	H01L-021/8247	

Abstract (Basic): JP 11154714 A

NOVELTY - A set of semiconductor barrier layers for memory TFT and drive TFT are formed on an insulated substrate respectively. The thickness of barrier layer of memory TFT is less than that of drive TFT. The thickness of both barrier layers is less than 150 nm. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for non-volatile memory manufacturing method.

USE - For EEPROM.

ADVANTAGE - Generates impact ionization in the channel area of memory element easily. Achieves size reduction of semiconductor device.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of memory element.

Dwg. 2/21

Title Terms: BARRIER; LAYER; STRUCTURE; NON; VOLATILE; MEMORY; EEPROM; SET; BARRIER; LAYER; ARRANGE; INSULATE; SUBSTRATE; MEMORY; TFT; DRIVE; TFT; DIFFER; THICK

Derwent Class: U12; U13; U14

International Patent Class (Main): H01L-021/8247

International Patent Class (Additional): H01L-027/115; H01L-029/786; H01L-029/788; H01L-029/792

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154714

(43) 公開日 平成11年(1999) 6月8日

(51) Int.Cl.<sup>8</sup>  
H 0 1 L 21/8247  
29/788  
29/792  
27/115  
29/786

識別記号

F I  
H 0 1 L 29/78 3 7 1  
27/10 4 3 4  
29/78 6 1 3 B  
6 1 8 D

審査請求 未請求 請求項の数18 F D (全 25 頁)

(21) 出願番号 特願平10-158315  
(22) 出願日 平成10年(1998) 5月22日  
(31) 優先権主張番号 特願平9-273454  
(32) 優先日 平9 (1997) 9月20日  
(33) 優先権主張国 日本 (J P)

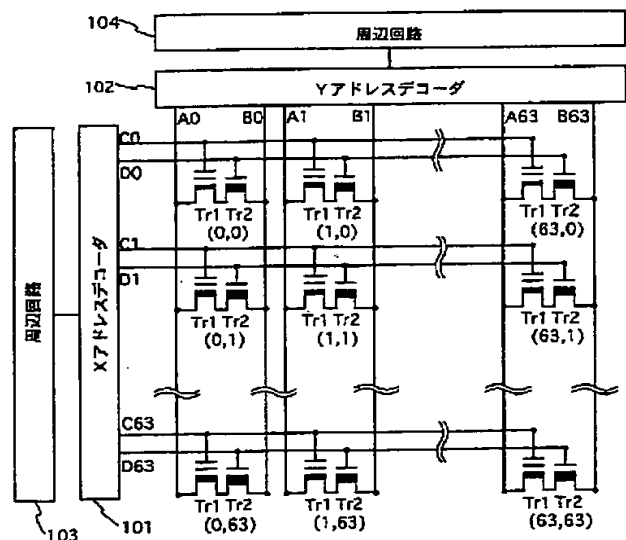
(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 林 佳輔  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 不揮発性メモリおよびその製造方法

(57) 【要約】

【課題】 他の半導体装置と一体形成が可能な不揮発性メモリを提供する。

【解決手段】 不揮発性メモリを構成するメモリ素子、スイッチング素子、および他の周辺回路をT F Tでもって基板上に一体形成する。メモリ素子T F Tの半導体活性層の厚さが、他のT F Tの半導体活性層の厚さよりも薄いので、メモリ素子T F Tのチャネル領域でインパクトイオン化が起こりやすくなる。こうすることによって、メモリ素子の低電圧書き込み/消去を実現することができ、劣化が起こりにくく、小型化が可能な不揮発性メモリが提供される。



## 【特許請求の範囲】

【請求項 1】 メモリ T F T とスイッチング T F T とから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、前記メモリ T F T は、絶縁基板上に形成される半導体活性層と、ゲイト絶縁膜と、フローティングゲイト電極と、前記フローティングゲイト電極を陽極酸化して得られる陽極酸化膜と、コントロールゲイト電極と、を少なくとも備えており、

前記スイッチング T F T は、前記絶縁基板上に形成される半導体活性層と、ゲイト絶縁膜と、ゲイト電極と、を少なくとも備えており、

前記メモリ T F T と前記スイッチング T F T とは、前記絶縁基板上に一体形成され、かつ前記メモリ T F T の半導体活性層の厚さは、前記スイッチング T F T の半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリ。

【請求項 2】 前記メモリ T F T および前記スイッチング T F T の半導体活性層の厚さは、150 nm 未満である請求項 1 に記載の不揮発性メモリ。

【請求項 3】 前記メモリ T F T の半導体活性層の厚さは 1 ~ 50 nm であり、前記スイッチング T F T の半導体活性層の厚さは 40 ~ 100 nm である請求項 2 に記載の不揮発性メモリ。

【請求項 4】 前記メモリ T F T の半導体活性層の厚さは 10 ~ 40 nm である請求項 3 に記載の不揮発性メモリ。

【請求項 5】 前記メモリ T F T の半導体活性層の厚さは、前記スイッチング T F T の半導体活性層の厚さよりも、インパクトイオン化イオン化が発生しやすい厚さである請求項 1 ~ 4 の何れか一つに記載の不揮発性メモリ。

【請求項 6】 前記メモリ T F T の半導体活性層に流れるトンネル電流は、前記スイッチング T F T の半導体活性層に流れるトンネル電流の 2 倍以上である請求項 5 に記載の不揮発性メモリ。

【請求項 7】 メモリ T F T とスイッチング T F T とから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、

前記メモリ T F T は、絶縁基板上に形成されるコントロールゲイト電極と、第 1 の絶縁膜と、フローティングゲイト電極と、第 2 の絶縁膜と、半導体活性層と、を少なくとも備えており、

前記スイッチング T F T は、前記絶縁基板上に形成されるゲイト電極と、第 1 の絶縁膜と、半導体活性層を少なくとも備えており、

前記メモリ T F T と前記スイッチング T F T とは、前記絶縁基板上に一体形成され、かつ前記メモリ T F T の半導体活性層の厚さは、前記スイッチング T F T の半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリ。

【請求項 8】 前記メモリ T F T および前記スイッチング T F T の半導体活性層の厚さは、150 nm 未満である請求項 7 に記載の不揮発性メモリ。

【請求項 9】 前記メモリ T F T の半導体活性層の厚さは 1 ~ 50 nm であり、前記スイッチング T F T の半導体活性層の厚さは 40 ~ 100 nm である請求項 8 に記載の不揮発性メモリ。

【請求項 10】 前記メモリ T F T の半導体活性層の厚さは 10 ~ 40 nm であり、前記スイッチング T F T の半導体活性層の厚さは 40 ~ 100 nm である請求項 9 に記載の不揮発性メモリ。

【請求項 11】 前記メモリ T F T の半導体活性層の厚さは、前記スイッチング T F T の半導体活性層の厚さよりも、インパクトイオン化イオン化が発生しやすい厚さである請求項 7 ~ 10 の何れか一つに記載の不揮発性メモリ。

【請求項 12】 前記メモリ T F T の半導体活性層に流れるトンネル電流は、前記スイッチング T F T の半導体活性層に流れるトンネル電流の 2 倍以上である請求項 11 に記載の不揮発性メモリ。

【請求項 13】 絶縁基板上に第 1 の厚さを有する非晶質珪素膜と、第 2 の厚さを有する非晶質珪素膜とを形成する工程と、

前記第 1 の厚さを有する非晶質珪素膜と、前記第 2 の厚さを有する非晶質珪素膜とを結晶化させ、第 1 の厚さを有する多結晶珪素膜と、第 2 の厚さを有する多結晶珪素膜とを形成する工程と、

前記第 1 の多結晶珪素膜上にメモリ T F T を形成し、前記第 2 の多結晶珪素膜上にスイッチング T F T を形成する工程と、

を含む不揮発性メモリの製造方法であって、

前記第 1 の厚さは、前記第 2 の厚さよりも薄いことを特徴とする不揮発性メモリの製造方法。

【請求項 14】 前記メモリ T F T および前記スイッチング T F T の半導体活性層の厚さは、150 nm 未満である請求項 13 に記載の不揮発性メモリの製造方法。

【請求項 15】 前記第 1 の厚さは 1 ~ 50 nm であり、前記第 2 の厚さは 40 ~ 100 nm である請求項 14 に記載の不揮発性メモリの製造方法。

【請求項 16】 前記第 1 の厚さは 10 ~ 40 nm である請求項 15 に記載の不揮発性メモリの製造方法。

【請求項 17】 前記メモリ T F T の半導体活性層の厚さは、前記スイッチング T F T の半導体活性層の厚さよりも、インパクトイオン化イオン化が発生しやすい厚さである請求項 13 ~ 16 の何れか一つに記載の不揮発性メモリ。

【請求項 18】 前記メモリ T F T の半導体活性層に流れるトンネル電流は、前記スイッチング T F T の半導体活性層に流れるトンネル電流の 2 倍以上である請求項 17 に記載の不揮発性メモリ。

10

20

30

40

50

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

【0002】本発明は、SOI (Silicon On Insulator) 技術を用いて形成される薄膜トランジスタの不揮発性メモリに関する。特に、その駆動回路などの周辺回路と共に絶縁基板上に一体形成されたEEPROM (Electrically Erasable and Programmable Read Only Memory) に関する。また、ここでいうSiliconは単結晶、あるいは実質的に単結晶であるものをいう。

【0003】

【従来の技術】

【0004】近年、半導体装置の小型化に伴い、高性能、高記憶容量、かつ小型のメモリが要求されてきた。現在半導体装置の記憶装置としては、磁気ディスクやバルクシリコンで作製された半導体不揮発性メモリが最もよく用いられている。

【0005】磁気ディスクは、記憶容量に関しては、半導体装置に用いられる中で最も大きいものの一つであるが、小型化が困難で、かつ書き込み/読み出し速度が遅いという欠点がある。

【0006】一方、半導体不揮発性メモリは、現在記憶容量に関しては磁気ディスクに劣るものの、その書き込み/読み出し速度は、磁気ディスクの数十倍である。また、半導体不揮発性メモリは、書き換え回数やデータ保持時間に関しても十分な性能を有するものが開発されてきている。そこで、最近半導体メモリを磁気ディスクの代替品として用いる動きが高まってきた。

【0007】

【発明が解決しようとする課題】

【0008】しかし、従来、半導体不揮発性メモリは、バルクシリコンを用いて作製され、パッケージに収められているので、このような半導体不揮発性メモリを半導体装置に搭載する場合、工程が増加し、かつそのパッケージサイズのために半導体装置の小型化に支障をきたしていた。

【0009】そこで本発明は、上記の事情を鑑みてなされたものであり、他の半導体装置の部品と一体形成され得、小型化が可能な不揮発性メモリを提供することを課題とする。

【0010】

【課題を解決するための手段】

【0011】本発明のある実施態様によると、メモリTFETとスイッチングTFETとから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、前記メモリTFETは、絶縁基板上に形成される半導体活性層と、ゲイト絶縁膜と、フローティングゲイト電極と、前記フローティングゲイト電極を陽極酸化して得られる陽

極酸化膜と、コントロールゲイト電極と、を少なくとも備えており、前記スイッチングTFETは、前記絶縁基板上に形成される半導体活性層と、ゲイト絶縁膜と、ゲイト電極と、を少なくとも備えており、前記メモリTFETと前記スイッチングTFETとは、前記絶縁基板上に一体形成され、かつ前記メモリTFETの半導体活性層の厚さは、前記スイッチングTFETの半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリが提供される。このことによって上記目的が達成される。

10 【0012】前記メモリTFETおよび前記スイッチングTFETの半導体活性層の厚さは、150nm未満であってもよい。

【0013】前記メモリTFETの半導体活性層の厚さは1~50nmであり、前記スイッチングTFETの半導体活性層の厚さは40~100nmであってもよい。

【0014】前記メモリTFETの半導体活性層の厚さは10~40nmであってもよい。

20 【0015】前記メモリTFETの半導体活性層の厚さは、前記スイッチングTFETの半導体活性層の厚さよりも、インパクトイオン化イオン化が発生しやすい厚さであってもよい。

【0016】前記メモリTFETの半導体活性層に流れるトンネル電流は、前記スイッチングTFETの半導体活性層に流れるトンネル電流の2倍以上であってもよい。

30 【0017】また、本発明のある実施態様によると、メモリTFETとスイッチングTFETとから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、前記メモリTFETは、絶縁基板上に形成されるコントロールゲイト電極と、第1の絶縁膜と、フローティングゲイト電極と、第2の絶縁膜と、半導体活性層と、を少なくとも備えており、前記スイッチングTFETは、前記絶縁基板上に形成されるゲイト電極と、第1の絶縁膜と、半導体活性層を少なくとも備えており、前記メモリTFETと前記スイッチングTFETとは、前記絶縁基板上に一体形成され、かつ前記メモリTFETの半導体活性層の厚さは、前記スイッチングTFETの半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリが提供される。このことによって上記目的が達成される。

40 【0018】前記メモリTFETおよび前記スイッチングTFETの半導体活性層の厚さは、150nm未満であってもよい。

【0019】前記メモリTFETの半導体活性層の厚さは1~50nmであり、前記スイッチングTFETの半導体活性層の厚さは40~100nmであってもよい。

【0020】前記メモリTFETの半導体活性層の厚さは10~40nmであり、前記スイッチングTFETの半導体活性層の厚さは40~100nmであってもよい。

50 【0021】前記メモリTFETの半導体活性層の厚さは、前記スイッチングTFETの半導体活性層の厚さよりも、インパクトイオン化イオン化が発生しやすい厚さ

であってもよい。

【0022】前記メモリTFTの半導体活性層に流れるトンネル電流は、前記スイッチングTFTの半導体活性層に流れるトンネル電流の2倍以上であってもよい。

【0023】また、本発明のある実施態様によると、絶縁基板上に第1の厚さを有する非晶質珪素膜と、第2の厚さを有する非晶質珪素膜とを形成する工程と、前記第1の厚さを有する非晶質珪素膜と、前記第2の厚さを有する非晶質珪素膜とを結晶化させ、第1の厚さを有する多結晶珪素膜と、第2の厚さを有する多結晶珪素膜とを形成する工程と、前記第1の多結晶珪素膜上にメモリTFTを形成し、前記第2の多結晶珪素膜上にスイッチングTFTを形成する工程と、を含む不揮発性メモリの製造方法であって、前記第1の厚さは、前記第2の厚さよりも薄いことを特徴とする不揮発性メモリの製造方法が提供される。このことによって上記目的が達成される。

【0024】前記メモリTFTおよび前記スイッチングTFTの半導体活性層の厚さは、150nm未満であってもよい。

【0025】前記第1の厚さは1~50nmであり、前記第2の厚さは40~100nmであってもよい。

【0026】前記第1の厚さは10~40nmであってもよい。

【0027】前記メモリTFTの半導体活性層の厚さは、前記スイッチングTFTの半導体活性層の厚さよりも、インパクトイオナイゼーションが発生しやすい厚さであってもよい。

【0028】前記メモリTFTの半導体活性層に流れるトンネル電流は、前記スイッチングTFTの半導体活性層に流れるトンネル電流の2倍以上であってもよい。

【0029】

【実施例】

【0030】（実施例1）

【0031】本実施例では、絶縁基板上に形成される不揮発性メモリ、特にEEPROMについて述べる。本実施例のEEPROMは、その駆動回路などの周辺回路と共に、絶縁基板上に一体形成される。

【0032】図1を参照する。図1に本実施例の4kビットEEPROMの回路図を示す。本実施例の4kビットEEPROMは、複数の電氣的消去可能なメモリ素子Tr1、複数のスイッチング素子Tr2、XおよびYアドレスデコーダ101、102、および他の周辺回路103、104によって構成される。他の周辺回路には、アドレスバッファ回路やコントロールロジック回路などが含まれ、必要に応じて設けられる。図1では、各ビット情報が記録されるメモリ素子（記憶素子）は、Tr1で示されている。Tr1は、フローティングゲイトを有するPチャネル型不揮発性メモリである。Tr2は、Nチャネルスイッチング素子Tr2である。

【0033】2個のTFT（Tr1およびTr2）は、

それぞれのドレイン電極が互いに直列に接続されており、この直列接続回路によって1ビットのメモリセルを構成する。本実施例では、このメモリセルが縦64個×横64個マトリクス状に配列されている。各メモリセルは1ビットの情報を記憶することができるので、本実施例のEEPROMは、4096ビット（=約4kビット）の記憶容量を有する。なお本実施例では、記憶容量が4096ビットのEEPROMについて説明するが、本発明は、いかなる記憶容量のEEPROMを構成する際にも適応され得る。

【0034】各列に配置されているメモリセルは、A0、B0~A63、B63という符号が付けられている信号線にその両端が接続されている。また、各行に配列されているメモリセルは、信号線C0、D0~C63~D63に各メモリセルのゲイト電極が接続されている。なお図1に示されるように、本実施例では、4kビットEEPROMを構成する各メモリセルに、（0、0）、（1、0）、（63、63）といった符号が付けられている。

【0035】各信号線A0、B0~A63、B63、およびC0、D0~C63~D63は、それぞれXアドレスデコーダ101、およびYアドレスデコーダ102に接続されている。このXアドレスデコーダ101およびYアドレスデコーダ102によって、特定のメモリセルが指定され、データの書き込み、読み出し、あるいは消去が行われる。

【0036】次に、本実施例のメモリセルの構成について図2を用いて説明する。図2には、本実施例のメモリセルの断面図が示されている。図2において、左側の素子がメモリ素子Tr1であり、右側の素子がスイッチング素子Tr2である。Tr1の半導体活性層202は、ソース・ドレイン領域203、204およびチャネル領域205を含む。一方Tr2の半導体活性層206は、ソース・ドレイン領域207、208、低濃度不純物領域209、およびチャネル領域210を含む。211および212はゲイト絶縁膜である。213はフローティングゲイト電極である。214、218は陽極酸化膜である。215はコントロールゲイト電極である。216、220、および219はソース・ドレイン電極である。221は層間絶縁膜である。

【0037】図2に示すようにメモリ素子Tr1の半導体活性層の厚さd1と、スイッチング素子Tr2の半導体活性層の厚さd2とは異なっており、 $d1 < d2$ である。こうすることによって、メモリ素子Tr1の半導体活性層でのインパクトイオナイゼーション（impact ionization；インパクトイオン化、あるいは衝突電離）がより起こりやすくなり、Tr1のフローティングゲイト電極への電荷の注入が起こりやすくなる。また、メモリ素子の半導体活性層に流れるトンネル電流は、スイッチング素子の半導体活性層に流れるトン

ネル電流の2倍以上であることが好ましい。このことによって、メモリ素子の書き込み/消去を低電圧で行うことができるので、メモリ素子の書き込み回数に対するメモリ素子の劣化がすくなくなる。

【0038】なお、XおよびYアドレスデコーダ101、102を構成するTFTや他の周辺回路を構成するTFTの半導体活性層の厚さは、スイッチングTFT Tr2の厚さと同様である。

【0039】ここで、本実施例のEEPROMの動作について、図1におけるメモリセル(1、1)を例にとつて説明する。

【0040】まず、メモリ素子(1、1)にデータを書き込む場合、A1に-5Vの電圧が印加される。また、信号線D1にも5Vの電圧が印加される。そこで信号線B1をGNDにおとし、信号線C1には20V程度の高電圧を印加すると、Tr1のチャネル領域を移動するキャリア(この場合はホール)が加速され、弱いアバランシェ崩壊またはインパクトイオン化が起こり、多量の高エネルギー状態のホットキャリア(電子)が発生する。このキャリアがゲート絶縁膜に注入され、フローティングゲート電極にトラップされる。このよう

にしてTr1のフローティングゲート電極に電荷が貯蓄される。フローティングゲート電極に電荷が貯蓄されることによってTr1のしきい値電圧が変化する。

【0041】次に、メモリ素子(1、1)からデータを読み出す場合、信号線C1には0Vが印加され、D1には5Vが印加される。そしてB1をGNDにおとすと、フローティングゲート電極に電荷が貯蓄されている場合と貯蓄されていない場合とで、Tr1のしきい値電圧が変化し、記憶されていた信号がA1から読み出されることになる。

【0042】次に、記憶素子(1、1)に記憶されているデータを消去する場合、信号線D1には5Vが印加され、信号線B1をGNDにおとす。そして、信号線C1に-20V程度の電圧が印加されると、フローティングゲート電極にトラップされていた電子がドレイン領域へ注入される。よって、記憶されていたデータが消去される。

【0043】以上の動作を下の表にまとめる。

【0044】

【表1】

	A1 (V)	B1 (V)	C1 (V)	D1 (V)
書き込み時	0/-5	GND	20	-5
読み出し時	-	GND	0	-5
消去時	-	GND	-20	-5

【0045】なお、記憶素子に印加される電圧は、記憶素子の半導体活性層の膜厚やコントロールゲート電極-フローティング電極間の容量等に依存する。よって、記憶素子の動作電圧については、上述した電圧に限られるわけではない。

【0046】EEPROMは、その書き換え回数と情報保持時間が重要である。書き換え回数を多く可能にするために、記憶素子のコントロール電極に印加される電圧を小さくすることが要求される。本実施例の記憶素子の半導体活性層の厚さは、スイッチングTFTやアドレスデコーダを構成するTFTの半導体活性層の厚さよりも厚いので、インパクトイオン化が起こりやすく、コントロール電極に印加される電圧を低くすることができる。

【0047】また、本実施例において、メモリ素子にデータを書き込み/消去する場合、メモリ素子のコントロール電極に一度に20Vの電圧を印加するのではなく、これよりも低い電圧を複数回のパルスで印加することによって、素子の劣化を防ぐことも出来る。

【0048】また、本実施例のEEPROMを構成するTFTには、移動度、しきい値電圧等に高特性が要求されるので、従来よく用いられているアモルファスシリコンの半導体活性層を備えたTFTでは十分ではない。そこで、上記のような高特性を示すTFTを作製する方法

を以下に示す。以下の作製方法によると、高特性のTFTを作製することができ、本実施例のEEPROMが実現できる。

【0049】本実施例のEEPROMの作製方法を図3～図7を用いて説明する。なお、図3～図7には、本実施例のEEPROMを構成するTFTとして、メモリセルを構成するメモリ素子およびスイッチング素子、ならびにアドレスデコーダやその他の周辺回路を構成する回路として代表的なCMOS回路を構成する2つのTFTを例にとって説明する。

【0050】また、以下に示す不揮発性メモリの製造方法によると、薄膜技術を用いて作製され得るいかなる半導体装置と本発明の不揮発性メモリとは、一体形成され得ることが理解される。

【0051】図3を参照する。まず、絶縁表面を有する基板として石英基板301を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板を用いても良い。

【0052】次に、非晶質珪素膜302を厚さ25nmに形成する(図3(A))。本実施例では成膜を減圧熱CVD法で行い、下記条件に従って形成する。

成膜温度: 465℃

成膜圧力: 0.5 torr

成膜ガス: He (ヘリウム) 300 sccm

Si<sub>2</sub>H<sub>6</sub> (ジシラン) 250 sccm

【0053】次に、レジスト膜を形成し、パターンニングすることによってマスク304を形成する(図3(B))。その後、非晶質珪素膜303をエッチングし、基板上に部分的に形成された非晶質珪素膜304を形成する(図3(C))。なお、非晶質珪素膜303のエッチングには、ドライエッチングあるいはウェットエッチングのいずれを行ってもよい。ドライエッチングの場合、CF<sub>4</sub> + O<sub>2</sub> を使い、またウェットエッチングの場合、フッ素酸+硝酸を用いてもよい。

【0054】次に、再び上述した方法で非晶質珪素膜を厚さ50nmに形成し、図3(D)に示すような非晶質珪素膜305、306を形成する。ここでは、最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)が、非晶質珪素膜305は50nm、かつ非晶質珪素膜306が75nmとなるように調節した。

【0055】なお、2度目の非晶質珪素膜の形成の前には、非晶質珪素膜304および石英基板301の表面を清浄化しておくことが望ましい。

【0056】また、非晶質珪素膜305、306の形成にあたっては、別の方法を用いてもよい。例えば、上述した方法によって非晶質珪素膜を全体に75nmに形成し、部分的にマスクを形成し、上述したエッチングによって部分的に膜厚を減少させた非晶質珪素膜を得ることもできる。

【0057】なお、非晶質珪素膜305は、後にメモリ素子の半導体活性層となり、非晶質珪素膜306は、後にスイッチング素子および周辺のCMOS回路等の半導体活性層となる。

【0058】なお、最終的な半導体活性層の厚さが150nm以上、特に200nm以上の場合には、SOI特有のインパクトイオナイゼーションの発生がきわめて少なく、バルクシリコンを用いた不揮発性メモリで発生するケースとほとんど変わらなくなってしまう。よってSOI技術による不揮発性メモリの特性を引き出すことができない。このため、本発明においては、最終的な半導体活性層の厚さは、共に150nm未満(好ましくは100nm未満)が好ましい。

【0059】また、本実施例では、上述したようにメモリ素子の非晶質珪素膜305の最終的な膜厚を50nm、スイッチング素子および周辺のCMOS回路等の非晶質珪素膜306の最終的な膜厚を75nmとしたが、それぞれ好ましくは、1~50nm(さらに好ましくは10~40nm)、40~100nmの範囲に形成すればよく、本実施例の膜厚に限定されるわけではない。

【0060】なお、非晶質珪素膜の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本

実施例の場合、非晶質珪素膜305、306中では結晶化を阻害する不純物であるC(炭素)及びN(窒素)の濃度はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$  未満(代表的には $5 \times 10^{17} \text{ atoms/cm}^3$  以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$  以下)、O(酸素)は $1.5 \times 10^{19} \text{ atoms/cm}^3$  未満(代表的には $1 \times 10^{18} \text{ atoms/cm}^3$  以下、好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$  以下)となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、SIMS(質量2次イオン分析)の測定結果における最小値で定義される。

【0061】上記構成を得るため、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、200~400℃程度に加熱した炉内に100~300sccmのClF<sub>3</sub>(フッ化塩素)ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0062】なお、本発明者らの知見によれば炉内温度300℃とし、ClF<sub>3</sub>(フッ化塩素)ガスの流量を300sccmとした場合、約2μm厚の付着物(主に珪素を主成分する)を4時間で完全に除去することができる。

【0063】また、非晶質珪素膜305、306中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜305、306の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0064】次に、非晶質珪素膜305、306の結晶化工程を行う。結晶化の手段としては本発明者による特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本願発明では実施例2に記載した技術内容(特開平8-78329号公報に詳しい)を利用するのが好ましい。

【0065】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜307~309を形成する。そして、非晶質珪素膜305、306の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液をスピコート法により塗布し、Ni含有層310を形成する(図4(A))。

【0066】なお、触媒元素としてはニッケル以外に



も、コバルト (Co)、鉄 (Fe)、パラジウム (Pd)、白金 (Pt)、銅 (Cu)、金 (Au)、ゲルマニウム (Ge)、鉛 (Pb)、インジウム (In) 等を用いることができる。

【0067】また、上記触媒元素の添加工程はスパインコート法に限らず、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0068】次に、触媒元素の添加工程が終了したら、450℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃(代表的には550～650℃)の温度で4～24時間の加熱処理を加えて非晶質珪素膜305、306の結晶化を行う。本実施例では窒素雰囲気中570℃14時間の加熱処理を行う。

【0069】この時、非晶質珪素膜305、306の結晶化はニッケルを添加した領域311、312で発生した核から優先的に進行し、基板301の基板面に対してほぼ平行に成長した結晶領域313、314、および315が形成される。本発明者らはこの結晶領域313、314、および315を横成長領域と呼んでいる。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある(図4(B))。

【0070】結晶化のための加熱処理が終了したら、マスク絶縁膜307、308、および309を除去してパターニングを行い、横成長領域のみでなる島状半導体層(活性層)316～319を形成する。

【0071】次に、島状半導体活性層316のチャネル形成領域、および317～319をレジストマスク320、321で覆い、P型を付与する不純物イオンの添加を行う。なお、本実施例ではB(ボロン)を不純物元素として用いたが、In(インジウム)を用いてもよい。なお、不純物添加時の加速電圧は、80keV程度とする。

【0072】よって、島状半導体活性層316のソース・ドレイン領域125および127、チャネル形成領域126が形成される。また、島状半導体活性層317～319は、レジストマスク321で覆われているので、不純物は添加されない。

【0073】その後、レジストマスク321を除去し、珪素を含む絶縁膜でなるゲイト絶縁膜325を形成する(図5(A))。ゲイト絶縁膜325の膜厚は後の熱酸化工程による増加分も考慮して10～250nmの範囲で調節すれば良い。なお、メモリ素子島状の半導体活性層のゲイト絶縁膜の厚さを10～50nmとし、他のゲイト絶縁膜の厚さを50～250nmとしてもよい。なお、このゲイト絶縁膜には、SiO<sub>2</sub>、SiON、Si

N等が用いられてもよい。また、成膜方法は公知の気相法(プラズマCVD法、スパッタ法等)を用いれば良い。

【0074】次に、図5(A)に示す様に触媒元素(ニッケル)を除去または低減するための加熱処理(触媒元素のゲッタリングプロセス)を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

【0075】なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。そのため加熱処理温度を好ましくは800～1000℃(代表的には950℃)とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。なお、上記加熱時に、ソース・ドレイン領域に存在する不純物がチャネル領域に拡散しないようにする必要がある。

【0076】代表的な実施例としては酸素雰囲気中に対して塩化水素(HCl)を0.5～10体積%(本実施例では3体積%)の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行えば良い。HCl濃度を上記濃度以上とすると、活性層316～319の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0077】また、ハロゲン元素を含む化合物としてはHClガス以外にもHF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub>等のハロゲン元素を含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0078】この工程においては活性層316～319中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去される。そして、この工程により活性層316～319中のニッケルの濃度は $5 \times 10^{17} \text{ atoms/cm}^3$ 以下(代表的には $2 \times 10^{17} \text{ atoms/cm}^3$ 以下)にまで低減される。なお、本発明者らの経験によれば、ニッケル濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下(好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下)であればTF特性に悪影響はでない。

【0079】また、上記ゲッタリング処理はニッケル以外の他の金属元素にも効果的である。珪素膜中に混入する金属元素としては、主に成膜チャンバーの構成元素(代表的にはアルミニウム、鉄、クロム等)が考えられるが、上記ゲッタリング処理を行えば、それら金属元素の濃度も $5 \times 10^{17} \text{ atoms/cm}^3$ 以下(好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下)にすることが可能である。

【0080】なお、上記ゲッタリング処理を行うと、活性層316～319中にはゲッタリング処理に使用した

ハロゲン元素が  $1 \times 10^{16} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  の濃度で残存する。

【0081】また、上記加熱処理により活性層 316 ~ 319 とゲイト絶縁膜 325 との界面では熱酸化反応が進行し、熱酸化膜の分だけゲイト絶縁膜 325 の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体/絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0082】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で  $950^\circ\text{C}$ 、1 時間程度の加熱処理を行なうことで、ゲイト絶縁膜 325 の膜質の向上を図ることも有効である。

【0083】次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型 129 ~ 132 を形成する。本実施例では 2 wt % のスカンジウムを含有したアルミニウム膜を用いる。なお、これ以外にもタンタル膜、導電性を有する珪素膜等を用いることもできる（図 5 (B)）。

【0084】ここで本発明者らによる特開平 7-135318 号公報記載の技術を利用する。同公報には、陽極酸化により形成した酸化膜を利用して自己整合的にソース/ドレイン領域と低濃度不純物領域とを形成する技術が開示されている。以下にその技術について簡単に説明する。

【0085】まず、アルミニウム膜のパターニングに使用したレジストマスク（図示せず）を残したまま 3 % シュウ酸水溶液中で陽極酸化処理を行い、多孔性の陽極酸化膜 330 ~ 337 を形成する。この膜厚が後に低濃度不純物領域の長さになるのでそれに合わせて膜厚を制御する。

【0086】次に、図示しないレジストマスクを除去した後、エチレングリコール溶液に 3 % の酒石酸を混合した電解溶液中で陽極酸化処理を行う。この処理では緻密な無孔性の陽極酸化膜 338 ~ 341 が形成される。膜厚は  $70 \sim 120 \text{ nm}$  で良い。

【0087】そして、上述の 2 回に渡る陽極酸化処理の後に残ったアルミニウム膜 342 ~ 345 が実質的にゲイト電極として機能する（図 5 (C)）。なお、アルミニウム膜 342 は、後にメモリ素子のフローティングゲイト電極となる。

【0088】次にゲイト電極 342 ~ 345、多孔性の陽極酸化膜 330 ~ 337 をマスクとしてゲイト絶縁膜 325 をドライエッチング法によりエッチングし、346 ~ 349 にパターニングする（図 5 (D)）。

【0089】そして、多孔性の陽極酸化膜 330 ~ 337 を除去する（図 6 (A)）。こうして形成されるゲイト絶縁膜 346 ~ 349 の端部は多孔性の陽極酸化膜 330 ~ 337 の膜厚分だけ露出した状態となる。

【0090】次に、ゲイト電極 342 を分断し、フロー

ティングゲイト電極 342' を形成する（図 6 (B)）。

【0091】次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としては N 型ならば P（リン）または As（砒素）、P 型ならば B（ボロン）または In（インジウム）を用いれば良い。

【0092】まず、N 型 TFT の不純物添加を行うために、レジストマスク 350、351 を形成する。本実施例では、不純物添加を 2 回の工程に分けて行う。まず、1 回目の不純物添加（本実施例では P（リン）を用いる）を高加速電圧  $80 \text{ keV}$  程度で行い、 $n^-$  領域を形成する。この  $n^-$  領域は、P イオン濃度が  $1 \times 10^{17} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$  となるように調節する。

【0093】さらに、2 回目の不純物添加を低加速電圧  $10 \text{ keV}$  程度で行い、 $n^+$  領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この  $n^+$  領域は、シート抵抗が  $500 \Omega$  以下（好ましくは  $300 \Omega$  以下）となるように調節する。

【0094】よって、N 型 TFT のソース・ドレイン領域 352 ~ 355、低濃度不純物領域 356、357、およびチャネル領域 358、359 が形成される。

【0095】次に、図 6 (D) に示すように、N 型 TFT を覆ってレジストマスク 360、361 を設け、P 型を付与する不純物イオン（本実施例ではボロンを用いる）の添加を行い、 $p^-$  領域、 $p^+$  領域を形成する。この  $p^-$  領域は、ボロンイオン濃度が  $1 \times 10^{17} \text{ atoms/cm}^3$  以上（好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  以上）となるように調節する。ボロンの他に、Ga、In などを用いてもよい。

【0096】こうして P 型 TFT のソース・ドレイン領域 362、363、低濃度不純物領域 364、およびチャネル形成領域 367 が形成される（図 6 (D)）。

【0097】上述したように、スイッチング TFT および他の周辺回路の TFT には低濃度不純物領域が形成されているので、半導体活性層の厚さ薄い場合でもインバクティオナライゼーションが起りにくくなっている。

【0098】以上の様にして活性層が完成したら、ファーストアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物元素の活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0099】なお、本実施例の TFT のチャネル形成領域は、不整合結合手の数が少なく、実質的に単結晶であるといえる。

【0100】次に、層間絶縁膜 368 を  $500 \text{ nm}$  の厚さに形成する。層間絶縁膜 368 としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜、或いはそれらの積層膜を用いることができる。

【0101】次に、コンタクトホールを形成した後、ソ

ース・ドレイン電極 369~374、およびメモリ素子のコントロールゲイト電極 375 を形成する。このコントロールゲイト電極 375 は、陽極酸化膜 338 の上面に接続されている (図 7 (B))。

【0102】最後に、基板全体を 350℃ の水素雰囲気中で 1~2 時間加熱し、素子全体の水素化を行うことで膜中 (特に活性層中) のダングリングボンド (不対結合手) を終端する。以上の工程によって、図 7 (B) に示す様な構造の TFT を作製することができる。

【0103】(活性層中に含まれる不純物に関する知見) 本実施例の活性層 (半導体薄膜) には結晶化を阻害する元素である C (炭素)、N (窒素) 及び O (酸素) が存在しない、或いは実質的に存在しない点に特徴がある。これは徹底的な不純物 (汚染物) 管理によってなされる構成である。

【0104】本実施例の場合、非晶質珪素膜の成膜にあたって C (炭素)、N (窒素) 及び O (酸素) の混入を徹底的に避けるので、必然的に最終的な半導体膜中に存在する C (炭素) 及び N (窒素) の濃度は少なくとも  $5 \times 10^{18} \text{ atoms/cm}^3$  未満 (代表的には  $5 \times 10^{17} \text{ atoms/cm}^3$  以下、好ましくは  $2 \times 10^{17} \text{ atoms/cm}^3$  以下)、O (酸素) の濃度は少なくとも  $1.5 \times 10^{19} \text{ atoms/cm}^3$  未満 (代表的には  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、好ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下) となる。

【0105】なお、純粋に珪素だけからなる半導体膜では珪素の濃度が約  $5 \times 10^{22} \text{ atoms/cm}^3$  であるので、例えば  $5 \times 10^{18} \text{ atoms/cm}^3$  の不純物元素は約 0.01 atomic % の濃度で存在することに相当する。

【0106】また、望ましくは最終的な半導体膜中に存在する C (炭素)、N (窒素) 及び O (酸素) の濃度を SIMS 分析における検出下限以下、さらに望ましくは完全に存在しない状態とすることが優れた結晶性を得るためには必要である。

【0107】本発明者らが SIMS で分析した結果、C、N、O の濃度がいずれも上記濃度範囲を満たす非晶質珪素膜を出発膜として用いた場合、完成した TFT の活性層中に含まれる C、N、O の濃度も上記濃度範囲を満たすことが判明している。

【0108】ここで、図 8 (A) に、本実施の不揮発性メモリの回路配置図を示す。図 8 (B) は、図 8 (A) における A-A' の断面図を示し、図 8 (C) は、図 16 (A) の等価回路図を示す。

【0109】図 8 (A) において、801~808 は半導体活性層であり、TFT Tr1~Tr8 を構成している。809~812 は第 1 の配線層であり、Tr2、Tr4、Tr6、および Tr8 のゲイト電極、ゲイト信号線の配線、および Tr1、Tr3、Tr5、Tr7 のゲイト信号線の配線として利用している。なお、Tr1、

Tr3、Tr5、および Tr7 のフローティングゲイト電極 813~816 は、第 1 の配線層と同時に形成され、パターンニングされたのちにフローティングの状態となる。817~828 は第 2 の配線層であり、各 Tr のソース・ドレイン領域に接続される信号線として、また Tr1、Tr3、Tr5、および Tr7 のコントロールゲイト電極として用いられる。また、図中において、黒く塗りつぶされている部分は、その下部の配線あるいは半導体層とコンタクトをとっていることを示している。なお、図中において同一柄の配線は全て同一の配線層である。

【0110】本発明の不揮発性メモリにおいては、メモリ素子の半導体活性層の膜厚を、スイッチング素子や他の周辺回路を構成する素子の半導体活性層の膜厚よりも薄くしているため、メモリ素子において、インパクトイオン化が起こりやすく、メモリ素子の書き込み/消去を低電圧で行うことが出来る。このことは、メモリ素子の書き込み/消去回数に対する劣化の減少につながる。これは、従来バルクシリコンで作製された EEPROM では、ゲイト絶縁膜が比較的薄い為、ゲイト絶縁膜の劣化が生じていた事に対する革新的な解決方法である。さらに、従来のバルクシリコンでは、ゲイト絶縁膜が薄いためフローティングゲイト電極に蓄積されていたキャリアが、温度の上昇により流出してしまうということに対する解決方法でもある。

【0111】(実施例 2)

【0112】本実施例では、まず安価な低級グレードの石英基板を用意する。次に、その石英基板を CMP (化学機械研磨) 等の手法により理想状態 (凹凸部の差の平均値が 5 nm 以内、代表的には 3 nm 以内、好ましくは 2 nm 以内) にまで研磨する。

【0113】この様に、安価な石英基板であっても研磨によって優れた平坦性を有する絶縁性基板として利用することができる。石英基板を用いると非常に下地が緻密となるので下地/半導体薄膜界面の安定度が高い。また、基板からの汚染の影響も殆どないので非常に利用価値が高い。

【0114】(実施例 3)

【0115】実施例 1 では珪素の結晶化を助長する触媒元素をゲッタリングする工程においてハロゲン元素を用いる例を示した。本願発明では、触媒元素のゲッタリング工程にリン元素を用いることも可能である。その他の工程は、実施例 1 に従うものとする。

【0116】リン元素を用いる場合、活性層となる領域以外の領域にリンを添加し、400~1050℃ (好ましくは 600~750℃) の温度で、1min~20hr (典型的には 30min~3hr) の加熱処理を行えば良い。この加熱処理によりリンを添加した領域に触媒元素がゲッタリングされるので、活性層中の触媒元素の濃度は  $5 \times 10^{17} \text{ atoms/cm}^3$  以下にまで低減さ

れる。

【0117】こうしてゲッターリング工程を終えたら、リンを添加した領域以外の領域を利用して活性層を形成する。後は、実施例1の工程に従えば実施例1と同じ特徴を有する半導体装置が得られる。

【0118】勿論、ゲイト絶縁膜となる熱酸化膜を形成する際にハロゲン元素を含む雰囲気中で加熱処理を行えば、本実施例のリン元素によるゲッターリング効果とハロゲン元素によるゲッターリング効果との相乗効果が得られる。

【0119】（実施例4）

【0120】本実施例では、逆スタガー型のTFTによってEEPROMを構成する場合について図9～図11を用いて説明する。なお、図9～図11においては、EEPROMを構成する一つのメモリセル（メモリ素子およびスイッチング素子）のみに注目しているが、アドレスデコーダや周辺回路等も同時に形成され得る。実際には、実施例1で説明した図1のように、マトリクス状に配置された複数のメモリセルとアドレスデコーダや周辺回路とによってEEPROMが構成される。

【0121】図9を参照する。まず、ガラス基板901上に酸化珪素膜でなる下地膜902を設け、その上にゲイト電極903、904を形成する。ゲイト電極903は、後にメモリ素子のコントロールゲイト電極になり、ゲイト電極904は、後にスイッチング素子のゲイト電極となる。本実施例では、ゲイト電極903、904として200nm～400nm厚のクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いてもよい。

【0122】次に、ゲイト電極903、904上にゲイト絶縁膜905を100～200nmの厚さに形成する。ゲイト絶縁膜905としては、酸化珪素膜、窒化珪素膜、または酸化珪素膜と窒化珪素膜との積層膜を用いる。また、ゲイト電極を陽極酸化して得られる陽極酸化膜をゲイト絶縁膜として利用することもできる。

【0123】また、このメモリ素子側のゲイト絶縁膜は、次の工程で形成するフローティングゲイト電極とコントロールゲイト電極との間の容量を規定するものであり、その膜厚を変えてフローティングゲイト電極に印加される電圧を調整することができる。よって、ゲイト絶縁膜905の厚さは、上記の範囲に限られるわけではなく、また、部分的に膜厚を変えてもよい。

【0124】次に、フローティングゲイト電極906を形成する（図9（B））。本実施例では、フローティングゲイト電極としてクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いてもよい。

【0125】次に、絶縁膜907を10～50nmの厚さに形成する。絶縁膜907としては、酸化珪素膜、窒化珪素膜、または酸化珪素膜と窒化珪素膜との積層膜を

用いる。

【0126】次に、非晶質珪素膜908、909を実施例1の図3（A）～（D）に示した方法によって形成する（図9（C））。なお、本実施例では、メモリ素子の非晶質珪素膜908の最終的な膜厚を50nm、スイッチング素子の非晶質珪素膜909の最終的な膜厚を75nmとしたが、それぞれ1～50nm（好ましくは10～40nm）、40～100nmの範囲に形成すればよく、本実施例の膜厚に限定されるわけではない。また、図示しないが、アドレスデコーダや周辺回路のTFTの非晶質珪素膜の膜厚は、スイッチング素子と同様の膜厚に作製され得る。

【0127】次に、非晶質珪素膜908、909をレーザー光あるいはレーザー光と同等の強度を持つ強光の照射を行い、非晶質珪素膜の結晶化を行う（図9（D））。レーザー光としては、エキシマレーザー光が好ましい。エキシマレーザーとしては、KrF、ArF、XeClを光源としたパルスレーザーを利用すればよい。

【0128】また、レーザー光と同等の強度を持つ強光としては、ハロゲンランプまたはメタルハライドランプからの強光、赤外光または紫外光ランプからの強光を利用することができる。

【0129】本実施例では、線状に加工されたエキシマレーザー光を基板の一端から他端へ走査し、非晶質珪素膜の全面を結晶化する。この時、レーザー光のスウィープ速度は1.2mm/s、処理温度は室温、パルス周波数は30Hz、レーザーエネルギーは300～315mJ/cm<sup>2</sup>とする。この工程によって結晶性珪素膜が得られる。

【0130】なお、本実施例の非晶質珪素膜にも、実施例1あるいは実施例3で用いられた結晶化方法が用いられ得る。

【0131】また、実施例1の非晶質珪素膜にも、本実施例の結晶化方法が用いられ得ることが理解される。

【0132】次に図10を参照する。結晶性珪素膜をパターンニングして、活性層910および911を形成する。

【0133】次に、一導電性を付与する不純物元素の添加を行なう。まず、メモリ素子、N型TFT、およびP型TFTのチャネル領域を形成する活性層をレジストマスクで覆い（図示せず）、P型を付与する不純物元素（本実施例ではボロンを用いる。インジウムなどを用いてもよい）を添加し、ボロンイオン濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上（好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以上）であるp<sup>-</sup>領域（低濃度不純物領域、図示せず）を形成する。

【0134】次に、レジストマスク912および913を形成する（図10（B））。そして、P型を付与する不純物元素を、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$

$m^3$ 程度の濃度となるように添加し、P型TF Tのソース領域914およびドレイン領域915を形成する。また、活性層のうちレジストマスク912で覆われている部分がチャネル領域となる(図10(B))。

【0135】次に、レジストマスク912および913を除去し、レジストマスク917および918を形成する。そして、N型を付与する不純物元素(本実施例ではリンを用いた。砒素等を用いてもよい。)を添加して、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 程度の低濃度不純物領域919および920を形成する(図10(C))。

【0136】次に、レジストマスク917および918を除去し、レジストマスク921および922を形成する。そして、再びN型を付与する不純物元素を図10(C)の工程よりも高濃度( $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ )に添加してN型TF Tのソース・ドレイン領域923および924を形成する。なお、925は低濃度不純物領域、926はチャネル形成領域である(図10(D))。

【0137】次に、レジストマスク921および922を除去した後、エキシマレーザー光を照射する(レーザーアニール)ことによって、イオン注入時のダメージの回復と添加した不純物の活性化を行う(図11(A))。

【0138】レーザーアニールが終了したら、層間絶縁膜927を300~500nmに形成する(図11(B))。層間絶縁膜927は、酸化珪素膜、窒化珪素膜、有機性樹脂、あるいはそれらの積層膜によって構成される。

【0139】次に、層間絶縁膜927にコンタクトホールを形成し、金属薄膜で成るソース・ドレイン電極928、929、および930を形成する。この金属薄膜としては、アルミニウム、タンタル、チタン、タングステン、モリブデン、またはそれらの積層膜を用いればよい(図11(B))。

【0140】次に、全体に対して水素雰囲気中、350℃で2時間程度の加熱処理を行い、膜中(特にチャネル形成領域)の不對結合手を水素終端する。以上の工程によって図11(B)の状態が得られる。

【0141】(実施例5)

【0142】上記実施例1~4の不揮発性メモリは、様々な用途がある。本実施例では、これらの不揮発性メモリを用いた半導体装置について説明する。

【0143】このような半導体装置には、ビデオカメラ、スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話など)などが挙げられる。それらの一例を図12に示す。

【0144】図12(A)は携帯電話であり、本体1201、音声出力部1203、音声入力部1203、表示

装置1204、操作スイッチ1205、アンテナ1206で構成される。本発明の不揮発メモリは、表示装置1204と一体形成されてもよい。

【0145】図12(B)はビデオカメラであり、本体1301、表示装置1302、音声入力部1303、操作スイッチ1304、バッテリー1305、受像部1306で構成される。本発明の不揮発性メモリは、表示装置1302と一体形成されてもよい。

【0146】図12(C)はモバイルコンピュータであり、本体1401、カメラ部1402、受像部1403、操作スイッチ1404、表示装置1405で構成される。本発明の不揮発性メモリは、表示装置1405と一体形成されてもよい。

【0147】図12(D)はヘッドマウントディスプレイであり、本体1501、表示装置1502、バンド部1503で構成される。本発明の不揮発性メモリは、表示装置1502と一体形成されてもよい。

【0148】(実施例6)

【0149】本実施例では、上記実施例1~実施例5で説明した作製方法において、ゲイト電極にTa(タンタル)またはTa合金を用いた場合について説明する。

【0150】TaまたはTa合金をゲイト電極に用いると、約450℃から約600℃で熱酸化することができ、 $\text{Ta}_2\text{O}_3$ 等の膜質の良い酸化膜がゲイト電極上に形成される。この酸化膜は、上記実施例1で説明した、Al(アルミニウム)をゲイト電極として用いたときに形成される酸化膜よりも膜質は良いことがわかっている。

【0151】このことは、絶縁膜の耐圧評価の一つであるJ-E特性(電流密度-電界強度特性)において、TaまたはTa合金の酸化膜がAlの酸化膜よりも良い特性を有することによってわかった。

【0152】また、 $\text{Ta}_2\text{O}_3$ は、比誘電率が11.6前後であり、フローティングゲイト-コントロールゲイト間の容量が大きいため、Alをゲイト電極に用いた場合に比較してフローティングゲイトに電荷が注入されやすいという利点もある。

【0153】また、Taをゲイト電極に用いた場合、上記実施例で行ったように陽極酸化することもできる。

【0154】(CGSに関する知見)

【0155】ここで、上記実施例1に記載した作製方法によって作製され半導体薄膜について説明する。上記実施例1の作製方法によると、非晶質珪素膜を結晶化させて、連続粒界結晶シリコン(いわゆるContinuous Grain Silicon: CGS)と呼ぶ結晶シリコン膜を得ることができる。

【0156】上記実施例1の作製方法によって得られた半導体薄膜の横成長領域は棒状または偏平棒状結晶の集合体からなる特異な結晶構造を示す。以下にその特徴について示す。

【0157】〔活性層の結晶構造に関する知見〕

【0158】上記実施例1の作製工程に従って形成した横成長領域は、微視的に見れば複数の棒状（または扁平棒状）結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

【0159】また、本発明者らは上述した作製方法によって得られた半導体薄膜の結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）を用いて800万倍に拡大し、詳細に観察した（図13（A））。ただし、本明細書中において結晶粒界とは、断りがない限り異なる棒状結晶同士が接した境界に形成される粒界を指すものと定義する。従って、例えば別々の横成長領域がぶつかりあって形成される様なマクロな意味あいでの粒界とは区別して考える。

【0160】ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。同手法を用いることで結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。

【0161】本発明者らが得たTEM写真（図13（A））では異なる二つの結晶粒（棒状結晶粒）が結晶粒界で接した状態が明瞭に観察された。また、この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であることが電子線回折により確認されている。

【0162】ところで、前述の様なTEM写真による格子縞観察では{110}面内に{111}面に対応する格子縞が観察された。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的には格子縞間の距離により確認できる。

【0163】この時、本発明者らは上述した実施例1の作製方法によって得られた半導体薄膜のTEM写真を詳細に観察した結果、非常に興味深い知見を得た。写真に見える異なる二つの結晶粒ではどちらにも{111}面に対応する格子縞が見えていた。そして、互いの格子縞が明らかに平行に走っているのが観察されたのである。

【0164】さらに、結晶粒界の存在と関係なく、結晶粒界を横切る様にして異なる二つの結晶粒の格子縞が繋がっていた。即ち、結晶粒界を横切る様にして観測される格子縞の殆どが、異なる結晶粒の格子縞であるにも拘らず直線的に連続していることが確認できた。これは任意の結晶粒界で同様であり、全体の90%以上（典型的には95%以上）の格子縞が結晶粒界で連続性を保って

いる。

【0165】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

【0166】なお、図13（B）に、本発明者らはリファレンスとして従来の多結晶珪素膜（いわゆる高温ポリシリコン膜）についても電子線回折およびHR-TEM観察による解析を行った。その結果、異なる二つの結晶粒において互いの格子縞は全くバラバラに走っており、結晶粒界で整合性よく連続する様な接合は殆どなかった。即ち、結晶粒界では格子縞が途切れた部分（矢印で示している部分等）が多く、結晶欠陥が多いことが判明した。このような部分では、未結合手が存在することになり、トラップ準位としてキャリアの移動を阻害する可能性が高い。

【0167】本発明者らは、上述した実施例1の作製方法で得られる半導体薄膜の様に格子縞が整合性良く対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、逆に従来の多結晶珪素膜に多く見られる様に格子縞が整合性良く対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手（又は不對結合手）と呼ぶ。

【0168】本願発明の不揮発性メモリで利用する半導体薄膜は結晶粒界における整合性が極めて優れているため、上述の不整合結合手が極めて少ない。本発明者らが任意の複数の結晶粒界について調べた結果、全体の結合手に対する不整合結合手の存在割合は10%以下（好ましくは5%以下、さらに好ましくは3%以下）であった。即ち、全体の結合手の90%以上（好ましくは95%以上、さらに好ましくは97%以上）が整合結合手によって構成されているのである。

【0169】また、上述の実施例1の作製方法に従って作製した横成長領域を電子線回折で観察した結果を図14（A）に示す。なお、図14（B）は比較のために観察した従来のポリシリコン膜（高温ポリシリコン膜と呼ばれるもの）の電子線回折パターンである。

【0170】なお、図14（A）および図14（B）は電子線の照射スポットの径を1.35 $\mu$ mとして測定を行っているため、格子縞レベルに比べて十分マクロな領域の情報を拾っていると考えてよい。

【0171】また、図14（C）は単結晶シリコンの{110}面に垂直に電子線を照射した場合の電子線回折パターンの模式図である。通常、この様な電子線回折パターンと観測結果とを見比べ、観察試料の配向性が何であるかを推測する。

【0172】図14（A）の場合、図14（C）に示す

様な〈110〉入射に対応する回折斑点が比較的きれいに現れており、結晶軸が〈110〉軸である（結晶面が〈110〉面である）ことが確認できる。

【0173】なお、各斑点は同心円状の広がりをもっているが、これは結晶軸まわりにある程度の回転角の分布をもつためと予想される。その広がり程度のパターンから見積もっても5°以内である。

【0174】また、多数観測するうちには回折斑点が部分的に見えない場合があった（図14（A）でも一部分の回折斑点が見えない）。おそらくは概略〈110〉配向であるものの、わずかに結晶軸がずれているために回折パターンが見えなくなっているものと思われる。

【0175】本発明者らは、結晶面内に殆ど必ず〈111〉面が含まれるという事実を踏まえ、おそらく〈111〉軸まわりの回転角のずれがその様な現象の原因であろうと推測している。

【0176】一方、図14（B）に示す電子線回折パターンの場合、回折斑点には明瞭な規則性が見られず、ほぼランダムに配向していることが確認できる。即ち、

（110）面以外の面方位の結晶が不規則に混在すると  
[220] 配向存在比=1（一定）

$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } [220] \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } [220] \text{ に対する相対強度}}$$

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } [220] \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } [220] \text{ に対する相対強度}}$$

[220] 配向比率=

[220] 配向存在比

[220] 配向存在比+ [111] 配向存在比+ [311] 配向存在比

【0181】ここで上述の半導体薄膜の配向性をX線回折で測定した結果の一例を図17に示す。なお、X線回折パターンには（220）面に相当するピークが現れているが、〈110〉面と等価であることは言うまでもない。この測定の結果、〈110〉面が主たる配向であり、配向比率は0.7以上（典型的には0.9以上）であることが判明した。

【0182】以上に示してきた通り、上述の実施例1の作製方法による結晶性珪素膜と従来のポリシリコン膜とは全く異なる結晶構造（結晶構成）を有していることが判る。この点からも本願発明の結晶性珪素膜は全く新しい半導体膜であると言える。

【0183】なお、上述の実施例1の半導体薄膜を形成

予想される。

【0177】これらの結果が示す様に、上述の実施例1の作製方法による結晶性珪素膜の特徴は殆ど全ての結晶粒が概略〈110〉面に配向しており、かつ、結晶粒界において格子に連続性を有することにある。この特徴は、従来のポリシリコン膜にはないものである。

【0178】以上の様に、上述の実施例1の作製方法で作製された半導体薄膜は従来の半導体薄膜とは全く異なる結晶構造（正確には結晶粒界の構造）を有する半導体薄膜であった。本発明者らは本願発明で利用する半導体薄膜について解析した結果を特願平9-55633号、同9-165216号、同9-212428号でも説明している。

【0179】なお、本発明者らは特開平7-321339号公報に記載した手法に従ってX線回折を行い、上述の作製方法の結晶性珪素膜について配向比率を算出した。同公報では下記の数式1に示す様な算出方法で配向比率を定義している。

【0180】

【数1】

するにあたって結晶化温度以上の温度でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。その事について説明する。

【0184】図15（A）は上述の実施例1の作製方法において、結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内（黒い部分と白い部分はコントラストの差に起因して現れる）に矢印で示される様なジグザグ状に見える欠陥が確認される。

【0185】この様な欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図15（A）は〈111〉面に平行な欠陥面を有する積層欠陥と思われる。そ

の事は、ジグザグ状に見える欠陥が約  $70^\circ$  の角をなして折れ曲がっていることから推測できる。

【0186】一方、図15(B)に示す様に、同倍率で見た上述の実施例1の作製方法による結晶シリコン膜は、結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することができる。

【0187】即ち、図15(B)に示す結晶シリコン膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

【0188】この様に、図15(A)と図15(B)の写真に示した結晶シリコン膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。上述の実施例1の作製方法による結晶シリコン膜が、図15(A)に示した結晶シリコン膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0189】こうして得られた上述の実施例1の作製方法による結晶シリコン膜(図15(B))は、単に結晶化を行っただけの結晶シリコン膜(図15(A))に比べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

【0190】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance : ESR)によってスピン密度の差となって現れる。現状では上述した実施例1の作製方法による結晶シリコン膜のスピン密度は少なくとも  $5 \times 10^{17} \text{ spins/cm}^3$  以下(好ましくは  $3 \times 10^{17} \text{ spins/cm}^3$  以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0191】以上の様な結晶構造および特徴を有する結晶シリコン膜を、本出願人は連続粒界結晶シリコン(Continuous Grain Silicon : CGS)と呼んでいる。

【0192】従来の半導体薄膜では結晶粒界がキャリアの移動を妨げる障壁として機能していたのだが、上述した実施例1の作製方法による半導体薄膜ではその様な結晶粒界が実質的に存在しないので高いキャリア移動度が実現される。そのため、上述した実施例1の作製方法による半導体薄膜を用いて作製したTFTの電気特性は非常に優れた値を示す。この事については以下に示す。

【0193】〔TFTの電気特性に関する知見〕

【0194】上述した実施例1の作製方法による半導体薄膜は実質的に単結晶と見なせる(実質的に結晶粒界が存在しない)ため、それを活性層とするTFTは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本発明者らが試作したTFTからは次に示す様なデ

ータが得られている。

【0195】(1)TFTのスイッチング性能(オン/オフ動作の切り換えの俊敏性)の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに  $60 \sim 100 \text{ mV/decade}$  (代表的には  $60 \sim 85 \text{ mV/decade}$ ) と小さい。

(2)TFTの動作速度の指標となる電界効果移動度( $\mu_{FE}$ )が、Nチャネル型TFTで  $200 \sim 650 \text{ cm}^2/\text{Vs}$  (代表的には  $250 \sim 300 \text{ cm}^2/\text{Vs}$ )、Pチャネル型TFTで  $100 \sim 300 \text{ cm}^2/\text{Vs}$  (代表的には  $150 \sim 200 \text{ cm}^2/\text{Vs}$ ) と大きい。

(3)TFTの駆動電圧の指標となるしきい値電圧( $V_{th}$ )が、Nチャネル型TFTで  $-0.5 \sim 1.5 \text{ V}$ 、Pチャネル型TFTで  $-1.5 \sim 0.5 \text{ V}$  と小さい。

【0196】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0197】なお、CGSを形成するにあたって前述した結晶化温度以上の温度( $700 \sim 1100^\circ\text{C}$ )でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。そのことについて以下に説明する。

【0198】以上のことから、CGSを作製するにあたって、触媒元素のゲッタリングプロセスは必要不可欠な工程であることが判る。本発明者らは、この工程によって起こる現象について次のようなモデルを考えている。

【0199】まず、図15(A)に示す状態では結晶粒内の欠陥(主として積層欠陥)には触媒元素(代表的にはニッケル)が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【0200】しかしながら、触媒元素のゲッタリングプロセスを行うことで欠陥に存在するNiが除去されるとSi-Ni結合は切れる。そのため、シリコンの余った結合手は、すぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

【0201】勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、ニッケルとの結合が切れて、未結合手が多く発生するためのシリコンの再結合がスムーズに行われると推測できる。

【0202】また、本発明者らは結晶化温度以上の温度( $700 \sim 1100^\circ\text{C}$ )で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルも考えている。

【0203】〔TFT特性とCGSの関係に関する知見〕上述の様な優れたTFT特性は、TFTの活性層として、結晶粒界において結晶格子に連続性を有する半導体薄膜を利用している点によるところが大きい。その理由について以下に考察する。

【0204】結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であること



に起因する。本明細書における平面状粒界の定義は、

「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0205】上記論文によれば、平面状粒界には{111}双晶粒界、{111}積層欠陥、{221}双晶粒界、{221}twist 粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0206】特に{111}双晶粒界は $\Sigma 3$ の対応粒界、{221}双晶粒界は $\Sigma 9$ の対応粒界とも呼ばれる。 $\Sigma$ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$ 値が小さいほど整合性の良い粒界であることが知られている。

【0207】本発明者らが上述の実施例1の作製方法による半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)が $\Sigma 3$ の対応粒界、即ち{111}双晶粒界であることが判明した。

【0208】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を $\theta$ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0209】従って、図13(A)のTEM写真に示された結晶粒界では、隣接する結晶粒の各格子縞が約 $70^\circ$ の角度で連続しており、この結晶粒界は{111}双晶粒界であると容易に推察することができる。

【0210】なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、このような他の結晶粒界も存在した。

【0211】このような対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、上述の実施例1の作製方法による半導体薄膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこのような対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のポリシリコン膜ではあり得ることではない。

【0212】ここで、上述の実施例1の作製方法による半導体薄膜を1万5千倍に拡大したTEM写真(暗視野像)を図16(A)に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

【0213】図16(A)で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方向性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味

している。

【0214】他方、従来的高温ポリシリコン膜を1万5千倍に拡大したTEM写真(暗視野像)を図16(B)に示す。従来的高温ポリシリコン膜では同一面方位の部分はばらばらに点在するのみであり、図16(A)に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

【0215】また、本発明者らは、図13に示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFITを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が保たれていることを確認している。

【0216】また、上述の実施例3の製造方法において、ニッケルのゲッタリング処理をリンを用いて行った場合の半導体薄膜を明視野で観察した場合のTEM写真を図18に示す。また、図18中においてPoint 1を30万倍に拡大した写真を図19(A)に、200万倍に拡大した写真を図19(B)に示す。なお、図19

(A)内において四角で囲まれた領域が図19(B)に相当する。また、Point 1における電子線回折パターン(スポット径 $1.7\mu m\phi$ )を図19(C)に示す。

【0217】さらに、Point 1と全く同条件でPoint 2とPoint 3を観察した。Point 2の観察結果を図20(A)、図20(B)、図20(C)に、Point 3の観察結果を図21(A)、図21(B)、図21(C)に示す。

【0218】これらの観察結果から、任意の結晶粒界において結晶格子に連続性が保たれており、平面状粒界が形成されていることが判る。なお、本発明者らはここに示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFITを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が確保されていることを確認している。

【0219】

【発明の効果】

【0220】本発明によると、不揮発性メモリが、その駆動回路などの周辺回路と同一基板上に一体形成され、小型化を図ることができる。

【0221】また、本発明によると、不揮発性メモリの半導体活性層の膜厚が比較的薄いので、インパクトイオン化の発生が起こりやすく、低電圧駆動でかつ劣化の少ない不揮発性メモリが実現される。

【0222】さらに、本発明の不揮発性メモリは、半導体装置の部品と一体形成され得るので、半導体装置の小型化を図ることができる。

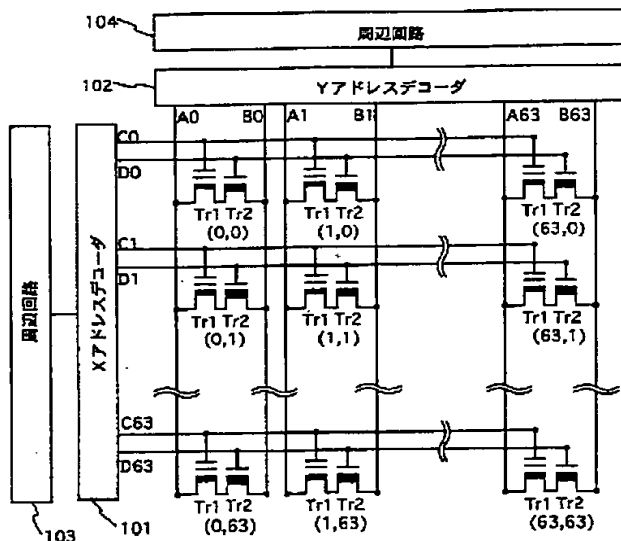
【図面の簡単な説明】

【図1】 本発明の不揮発性メモリの回路図である。

【図2】 本発明の不揮発性メモリを構成するメモリ素子およびスイッチング素子の断面図である。

- 【図 3】 本発明の不揮発性メモリの作製工程を示す図である。
- 【図 4】 本発明の不揮発性メモリの作製工程を示す図である。
- 【図 5】 本発明の不揮発性メモリの作製工程を示す図である。
- 【図 6】 本発明の不揮発性メモリの作製工程を示す図である。
- 【図 7】 本発明の不揮発性メモリの作製工程を示す図である。
- 【図 8】 本発明の不揮発性メモリを構成するメモリ素子およびスイッチング素子の上面図、断面図、および回路図である。
- 【図 9】 本発明の不揮発性メモリの作製工程を示す図である。
- 【図 10】 本発明の不揮発性メモリの作製工程を示す図である。
- 【図 11】 本発明の不揮発性メモリの作製工程を示す図である。
- 【図 12】 本発明の不揮発性メモリを用いた半導体装置 20 の例を示した図である。
- 【図 13】 半導体薄膜の結晶粒を示すTEM写真図である。
- 【図 14】 半導体薄膜の電子回折パターンを示す写真図である。
- 【図 15】 半導体薄膜の結晶粒を示すTEM写真図である。
- 【図 16】 半導体薄膜の暗視野像を示すTEM写真図である。

【図 1】

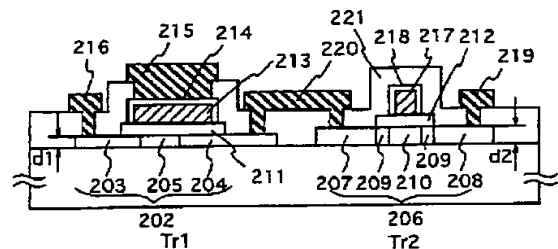


- 【図 17】 半導体薄膜のX線回折の結果を示すグラフである。
- 【図 18】 半導体薄膜の暗視野像を示すTEM写真図である。
- 【図 19】 半導体薄膜の結晶粒界を示すTEM写真図および電子回折パターン図である。
- 【図 20】 半導体薄膜の結晶粒界を示すTEM写真図および電子回折パターン図である。
- 【図 21】 半導体薄膜の結晶粒界を示すTEM写真図および電子回折パターン図である。

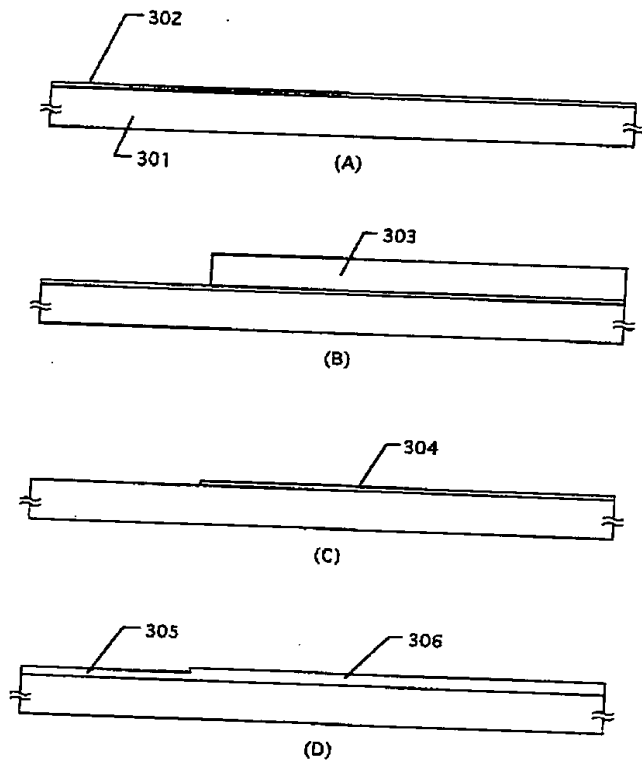
## 【符号の説明】

- 101 Xアドレスデコーダ
- 102 Yアドレスデコーダ
- 201 基板
- 202 半導体活性層
- 203、204 ソース・ドレイン領域
- 205 チャンネル形成領域
- 206 半導体活性層
- 207、208 ソース・ドレイン領域
- 209 低濃度不純物領域
- 210 チャンネル形成領域
- 211、212 ゲイト絶縁膜
- 213 フローティングゲイト電極
- 214 陽極酸化膜
- 215 コントロールゲイト電極
- 216、219、220 ソース・ドレイン電極
- 217 ゲイト電極
- 218 陽極酸化膜
- 221 層間絶縁膜

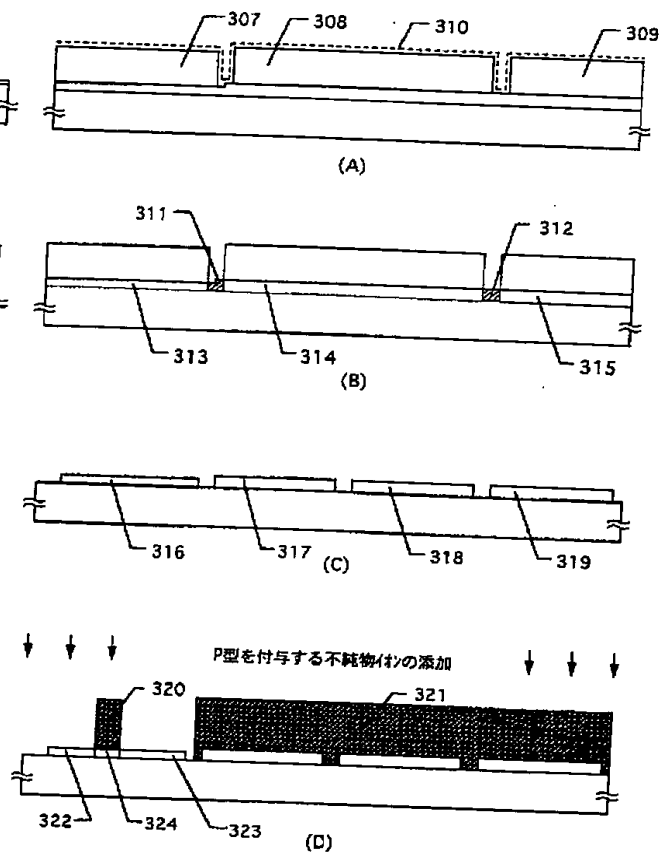
【図 2】



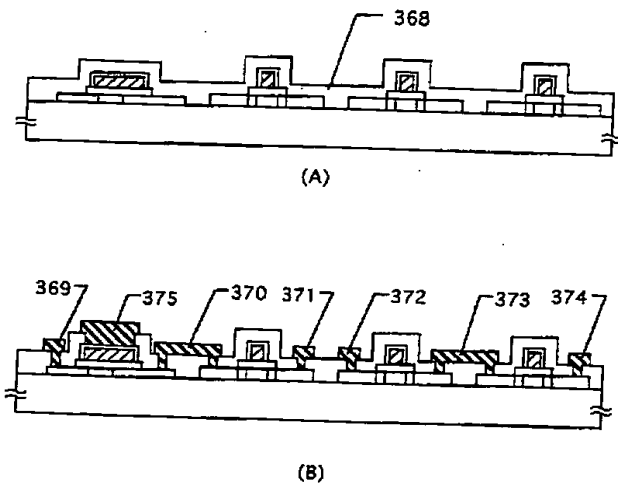
【図 3】



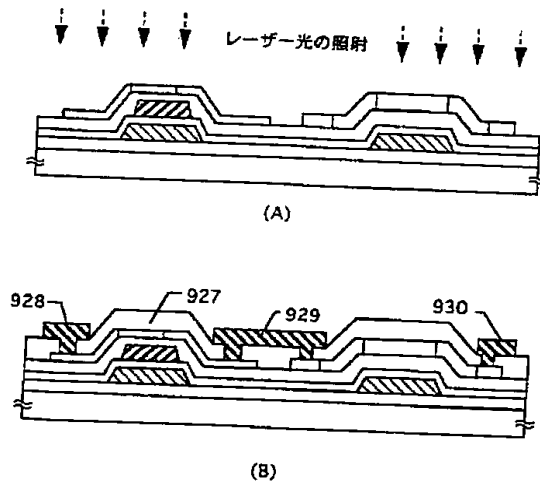
【図 4】



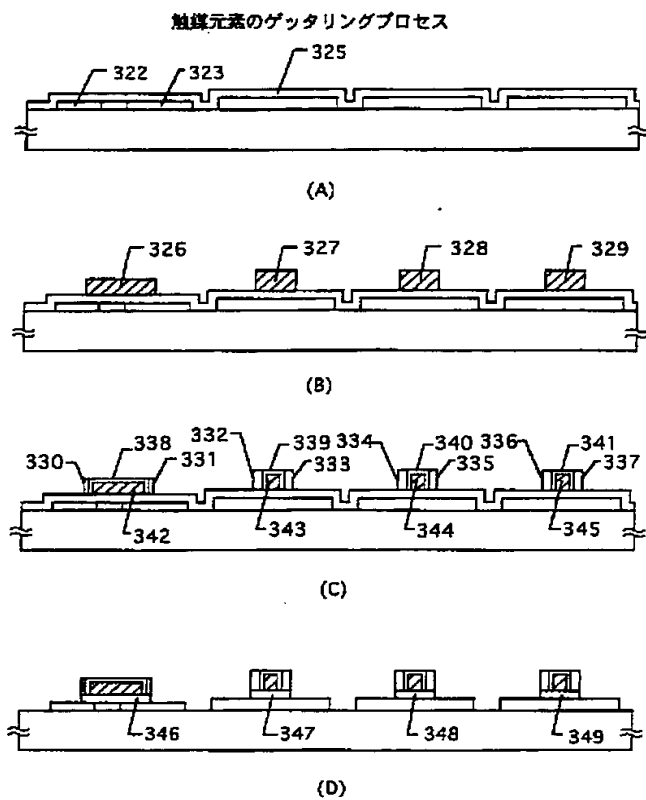
【図 7】



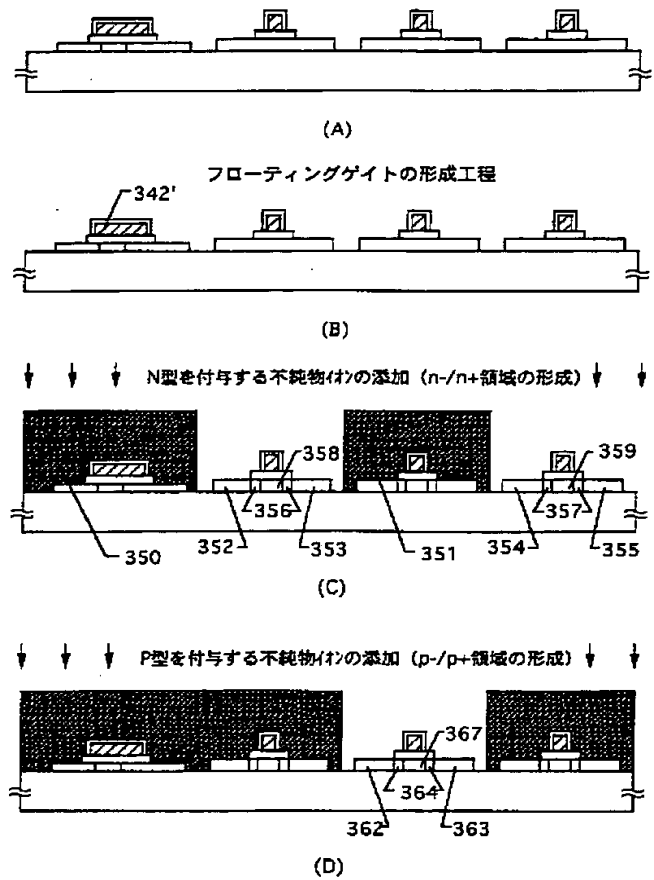
【図 11】



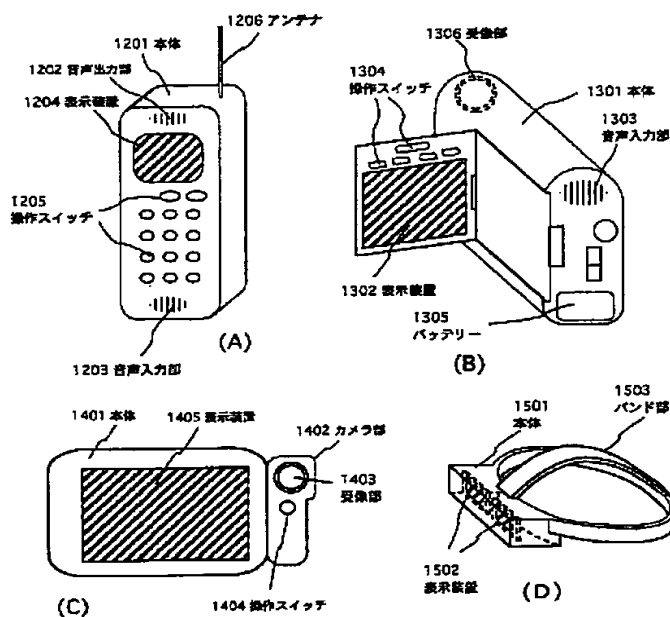
【図 5】



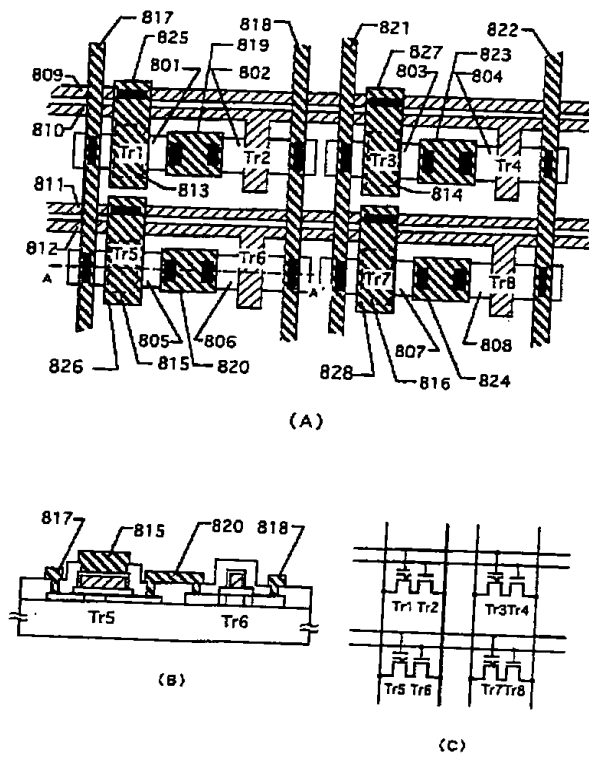
【図 6】



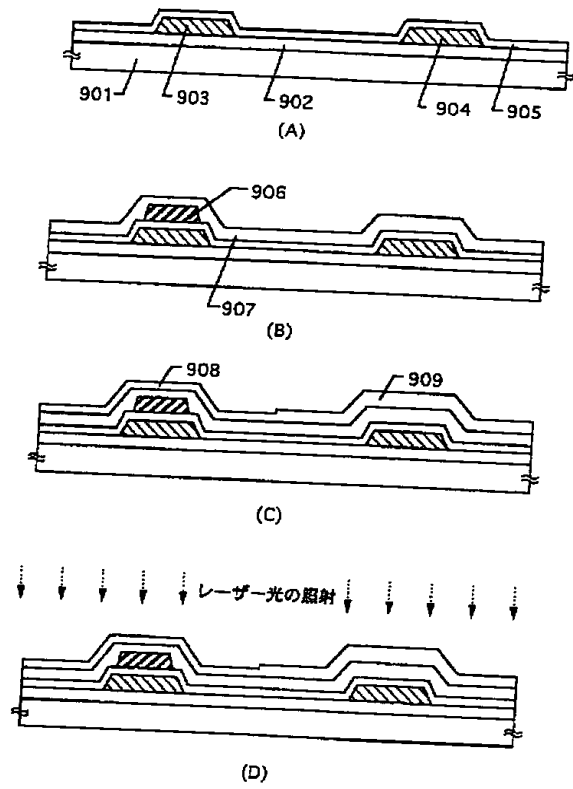
【図 12】



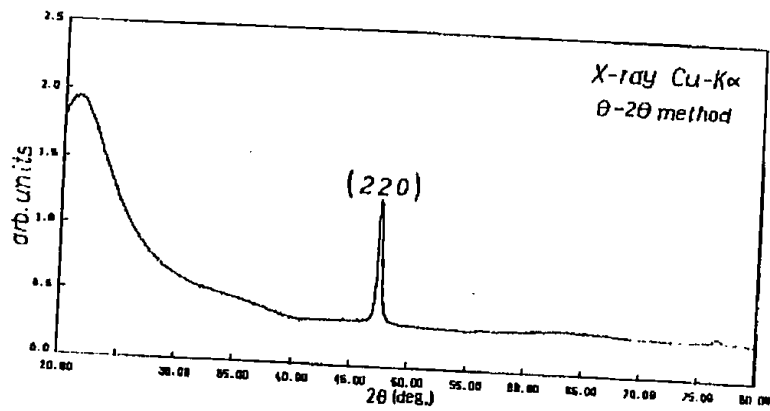
【図 8】



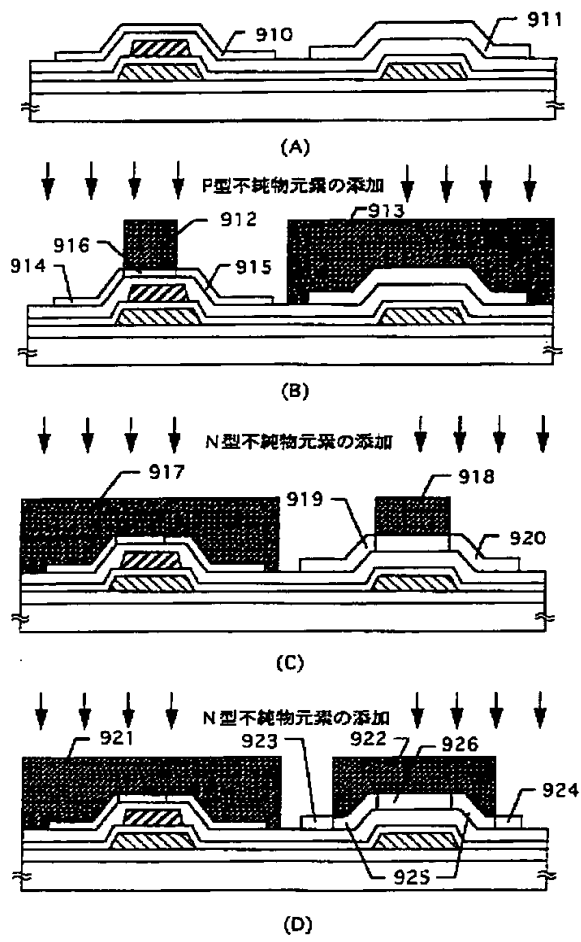
【図 9】



【図 17】

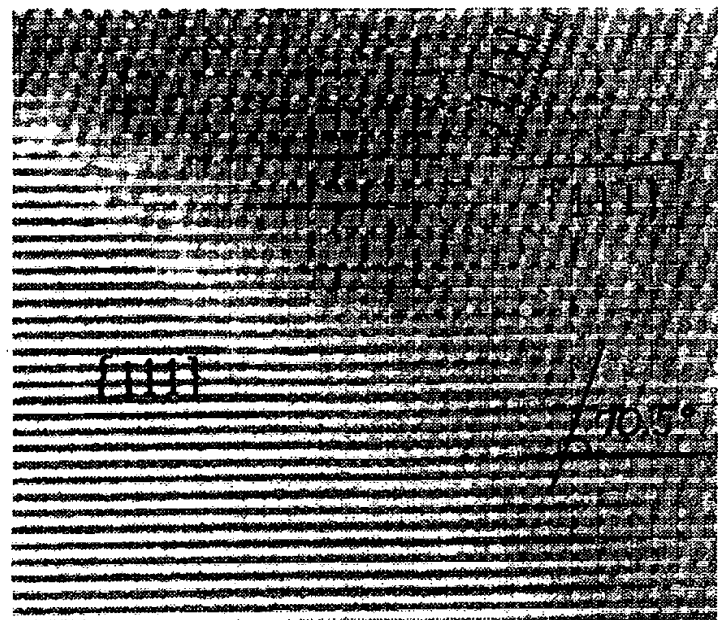


【図10】

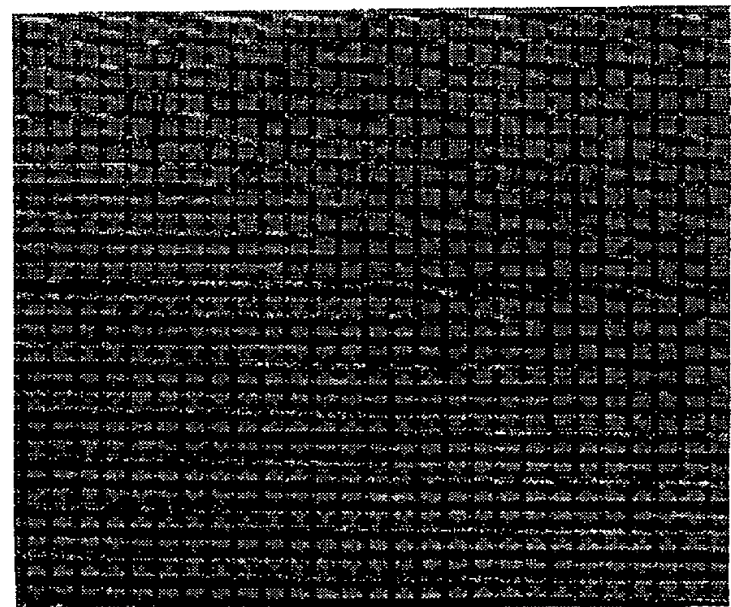


【図13】

図面代用写真



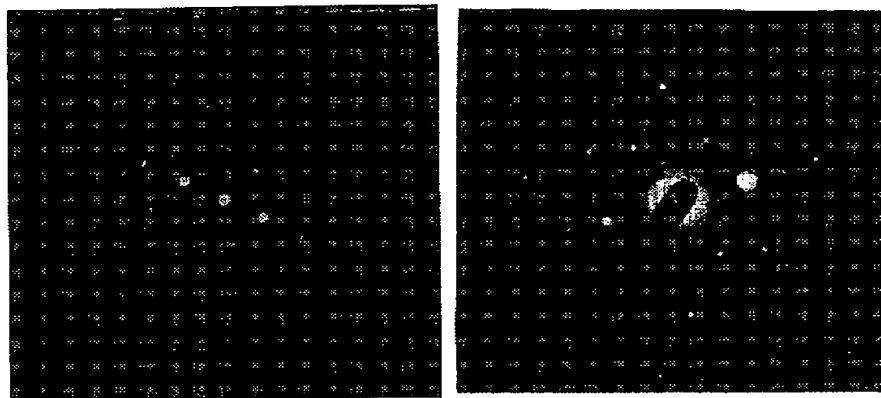
(A)



(B)

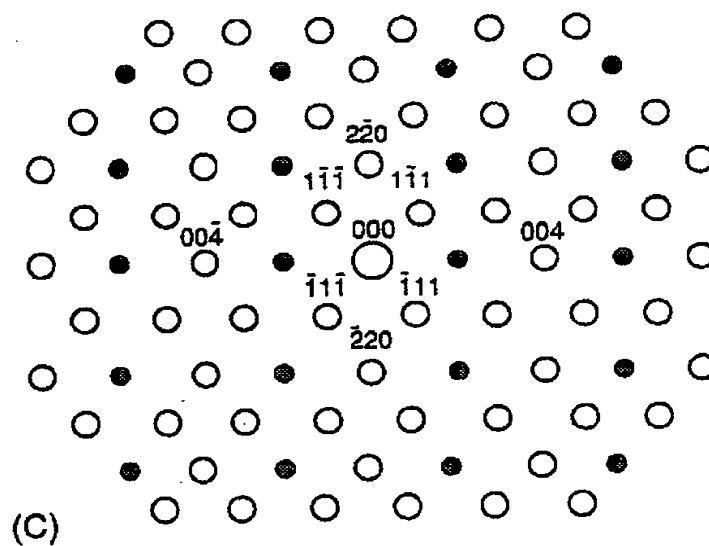
【図 1 4】

図面代用写真



(A)

(B)



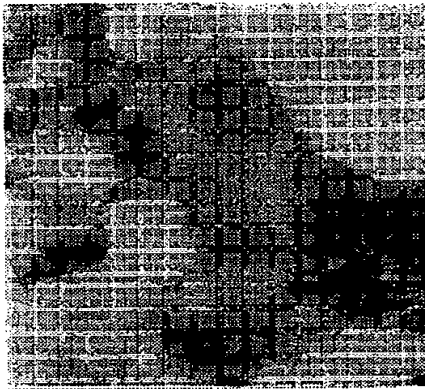
【図 15】

図面代用写真



0.1 μm

(A)

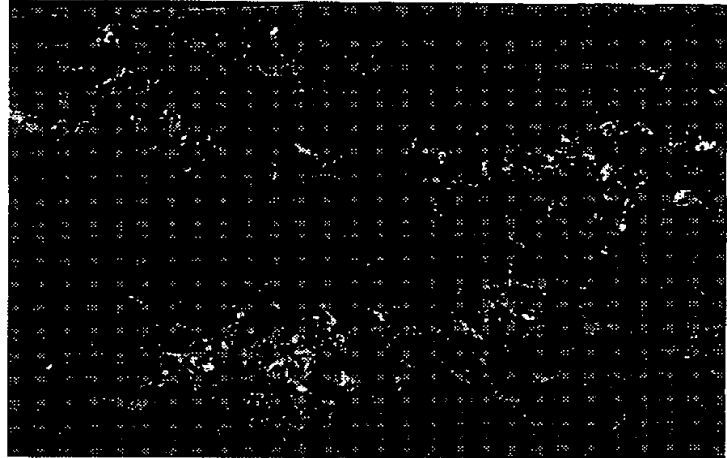


0.1 μm

(B)

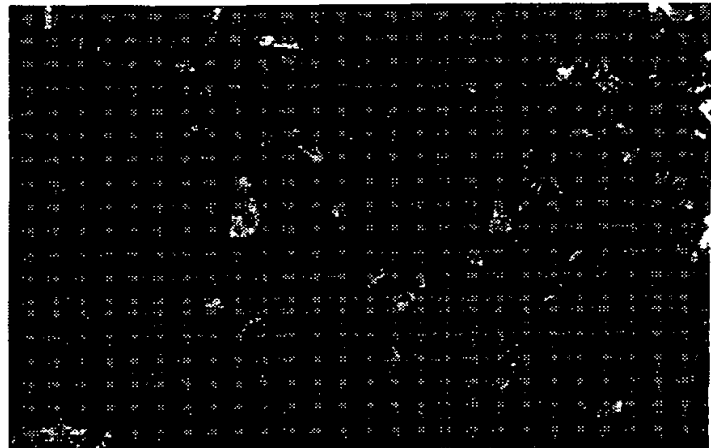
【図 16】

図面代用写真



2 μm

(A)



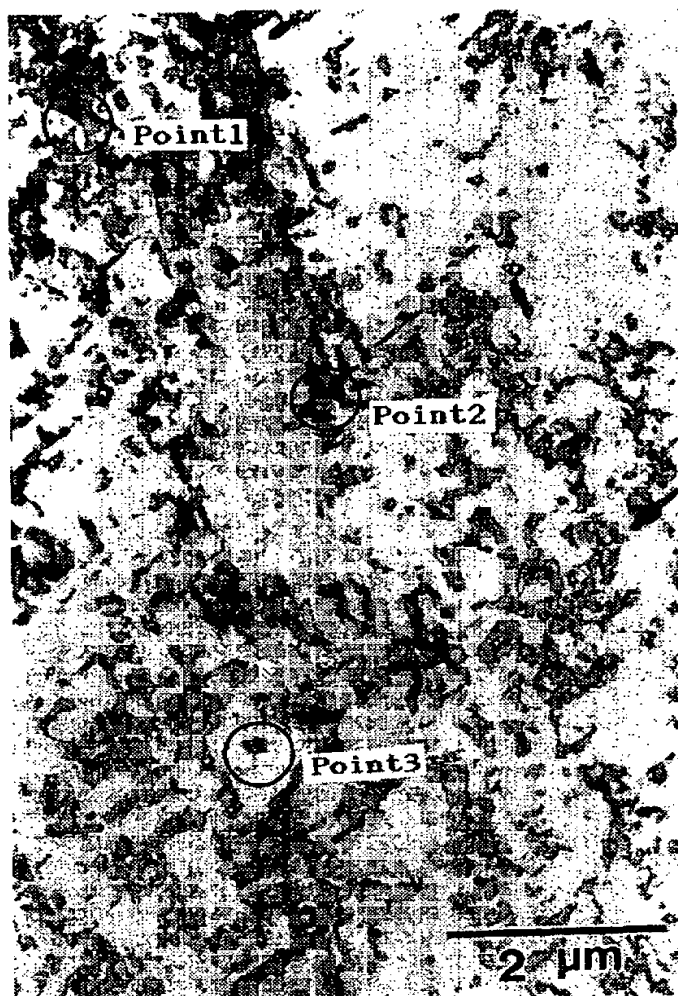
2 μm

(B)



【図 1 8】

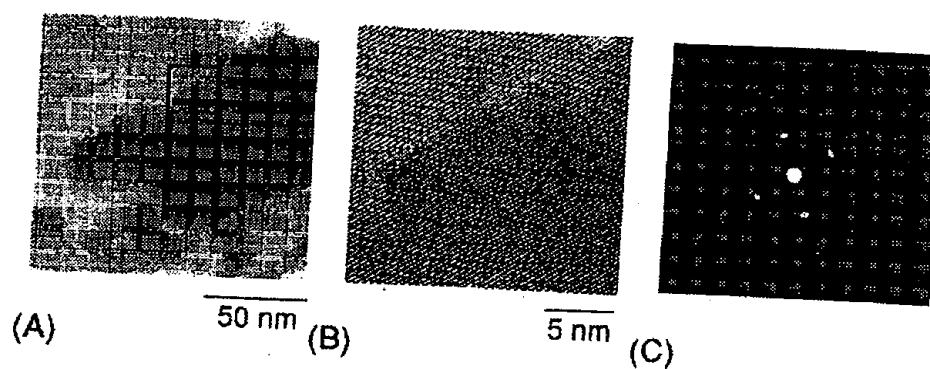
図面代用写真



【図 19】

図面代用写真

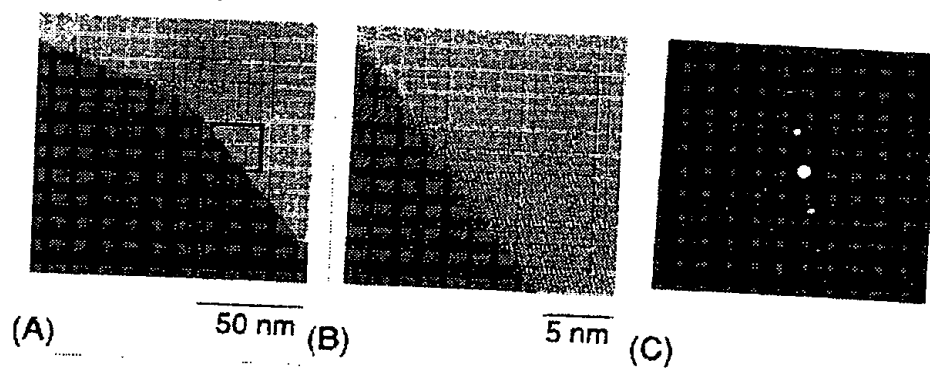
〈Point 1〉



【図 20】

図面代用写真

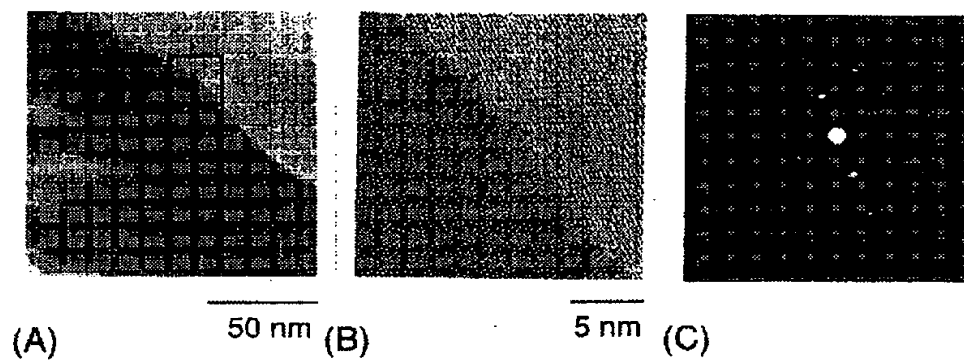
〈Point 2〉



【図 2 1】

図面代用写真

〈Point 3〉



## **DERWENT TERMS AND CONDITIONS**

*Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.*

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

["WWW.DERWENT.CO.UK"](http://WWW.DERWENT.CO.UK) (English)  
["WWW.DERWENT.CO.JP"](http://WWW.DERWENT.CO.JP) (Japanese)

**MACHINE-ASSISTED TRANSLATION (MAT):**

(19)【発行国】 日本国特許庁 ( J P )	(19)[ISSUING COUNTRY] Japanese Patent Office (JP)
(12)【公報種別】 公開特許公報 ( A )	Laid-open (Kokai) patent application number (A)
(11)【公開番号】 特開平 1 1 - 1 5 4 7 1 4	(11)[UNEXAMINED PATENT NUMBER] Unexamined-Japanese-Patent 11-154714
(43)【公開日】 平成 1 1 年 ( 1 9 9 9 ) 6 月 8 日	(43)[DATE OF FIRST PUBLICATION] June 8th, Heisei 11 (1999)
(54)【発明の名称】 不揮発性メモリおよびその製造 方法	(54)[TITLE] A non-volatile memory and its manufacturing method
(51)【国際特許分類第 6 版】 H01L 21/8247 29/788 29/792 27/115 29/786	(51)[IPC] H01L 21/824729/78829/79227/11529/786
【 F I 】 H01L 29/78 371 27/10 434 29/78 613 B 618 D	【FI】 H01L 29/78 371 27/10 434 29/78 613 B 618 D
【審査請求】 未請求	[EXAMINATION REQUEST] UNREQUESTED
【請求項の数】 1 8	[NUMBER OF CLAIMS] 18
【出願形態】 F D	[Application form] FD
【全頁数】 2 5	[NUMBER OF PAGES] 25

(21)【出願番号】

特願平 10-158315

(21)[APPLICATION NUMBER]

Japanese-Patent-Application-No. 10-158315

(22)【出願日】

平成 10 年 (1998) 5 月 2  
2 日

(22)[DATE OF FILING]

May 22nd, Heisei 10 (1998)

(31)【優先権主張番号】

特願平 9-273454

(31)[PRIORITY FILING NUMBER]

Japanese-Patent-Application-No. 9-273454

(32)【優先日】

平 9 (1997) 9 月 20 日

(32)[DATE OF EARLIEST CLAIMED  
PRIORITY]

Heisei 9 (1997) September 20th

(33)【優先権主張国】

日本 (JP)

(33)[COUNTRY OF EARLIEST PRIORITY]

Japan (JP)

(71)【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】

000153878

[ID CODE]

000153878

【氏名又は名称】

株式会社半導体エネルギー研究  
所The K.K. semiconductor energy research  
laboratory

【住所又は居所】

神奈川県厚木市長谷 398 番地

[ADDRESS]

(72)【発明者】

(72)[INVENTOR]

【氏名】 山崎 舜平

Shunpei Yamazaki

【住所又は居所】

神奈川県厚木市長谷 398 番地  
株式会社半導体エネルギー研究  
所内

[ADDRESS]

(72)【発明者】

(72)[INVENTOR]

【氏名】 小山 潤

Jun Koyama

**【住所又は居所】** **[ADDRESS]**

神奈川県厚木市長谷 3 9 8 番地  
株式会社半導体エネルギー研究  
所内

**(72) 【発明者】** **(72)[INVENTOR]****【氏名】** 林 佳輔

Yoshisuke Hayashi

**【住所又は居所】** **[ADDRESS]**

神奈川県厚木市長谷 3 9 8 番地  
株式会社半導体エネルギー研究  
所内

**(57) 【要約】** **(57)[SUMMARY]****【課題】**

他の半導体装置と一体形成が可能な不揮発性メモリを提供する。

**[SUBJECT]**

The non-volatile memory which can form integrally with the other semiconductor device is provided.

**【解決手段】**

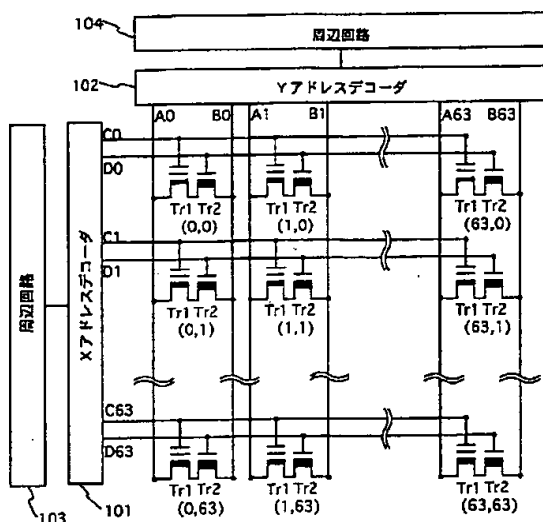
不揮発性メモリを構成するメモリ素子、スイッチング素子、および他の周辺回路をTFTでもって基板上に一体形成する。メモリ素子TFTの半導体活性層の厚さが、他のTFTの半導体活性層の厚さよりも薄いので、メモリ素子TFTのチャネル領域でインパクトイオン化が起こりやすくなる。こうすることによって、メモリ素子の低電圧書込み／消去を実現することができ、劣化が起こりにくく、小型化が可能な不揮発性メモリが提供される。

**[SOLUTION]**

The memory device which constitutes a non-volatile memory, a switching device, and the other periphery circuit is integrally formed on a substrate with TFT.

Since the thickness of the semiconductor active layer of the memory device TFT is thinner than the thickness of the semiconductor active layer of other TFT, Impact ionization becomes easy to happen in the channel region of the memory device TFT.

Thus, the low-voltage writing / erasure of a memory device can be realized. Degradation does not happen. The non-volatile memory whose size-reduction is possible is provided.



103 Periphery circuit

101 X address decoder

104 Periphery circuit

102 Y address decoder

## 【特許請求の範囲】

## [CLAIMS]

## 【請求項 1】

メモリ TFT とスイッチング TFT とから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、前記メモリ TFT は、絶縁基板上に形成される半導体活性層と、ゲート絶縁膜と、フローティングゲート電極と、前記フローティングゲート電極を陽極酸化して得られる陽極酸化膜と、コントロールゲート電極と、を少なくとも備えており、  
前記スイッチング TFT は、前記絶縁基板上に形成される半導体活性層と、ゲート絶縁膜と、ゲート電極と、を少なくとも備えており、  
前記メモリ TFT と前記スイッチング TFT とは、前記絶縁基

## [CLAIM 1]

A non-volatile memory, in which the memory cell which consists of a memory TFT and the switching TFT is the non-volatile memory arranged in a matrix, comprised such that the above-mentioned memory TFT has at least the semiconductor active layer formed on an insulated substrate, the gate insulating film, the floating gate electrode, the anodized film obtained by anodizing the above-mentioned floating gate electrode, and the control gate electrode.

The above-mentioned switching TFT has at least the semiconductor active layer formed on the above-mentioned insulated substrate, the gate insulating film, and the gate electrode.

The above-mentioned memory TFT and the above-mentioned switching TFT is integrally formed on the above-mentioned insulated substrate. And the thickness of the semiconductor active layer of the above-mentioned memory TFT is thinner than the



板上に一体形成され、かつ前記メモリ TFT の半導体活性層の厚さは、前記スイッチング TFT の半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリ。

**【請求項 2】**

前記メモリ TFT および前記スイッチング TFT の半導体活性層の厚さは、150 nm 未満である請求項 1 に記載の不揮発性メモリ。

**【請求項 3】**

前記メモリ TFT の半導体活性層の厚さは 1 ~ 50 nm であり、前記スイッチング TFT の半導体活性層の厚さは 40 ~ 100 nm である請求項 2 に記載の不揮発性メモリ。

**【請求項 4】**

前記メモリ TFT の半導体活性層の厚さは 10 ~ 40 nm である請求項 3 に記載の不揮発性メモリ。

**【請求項 5】**

前記メモリ TFT の半導体活性層の厚さは、前記スイッチング TFT の半導体活性層の厚さよりも、インパクトイオン化イオン化が発生しやすい厚さである請求項 1 ~ 4 の何れか一つに記載の不揮発性メモリ。

**【請求項 6】**

前記メモリ TFT の半導体活性層に流れるトンネル電流は、前記スイッチング TFT の半導体活性層に流れるトンネル電流の

thickness of the semiconductor active layer of the above-mentioned switching TFT.

**[CLAIM 2]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT and the above-mentioned switching TFT is less than 150 nm. The non-volatile memory of Claim 1.

**[CLAIM 3]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is 1-50 nm.

The thickness of the semiconductor active layer of the above-mentioned switching TFT is 40-100 nm. The non-volatile memory of Claim 2.

**[CLAIM 4]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is 10-40 nm. The non-volatile memory of Claim 3.

**[CLAIM 5]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is thickness which is easier to generate impact ionization than the thickness of the semiconductor active layer of the above-mentioned switching TFT. The non-volatile memory described in any one of Claims 1-4.

**[CLAIM 6]**

The tunnel current which flows the semiconductor active layer of the above-mentioned memory TFT is more than double the tunnel current which flows the semiconductor active layer of the above-

2倍以上である請求項5に記載の不揮発性メモリ。

**【請求項7】**

メモリTFTとスイッチングTFTとから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、  
前記メモリTFTは、絶縁基板上に形成されるコントロールゲイト電極と、第1の絶縁膜と、フローティングゲイト電極と、第2の絶縁膜と、半導体活性層と、を少なくとも備えており、  
前記スイッチングTFTは、前記絶縁基板上に形成されるゲイト電極と、第1の絶縁膜と、半導体活性層を少なくとも備えており、  
前記メモリTFTと前記スイッチングTFTとは、前記絶縁基板上に一体形成され、かつ前記メモリTFTの半導体活性層の厚さは、前記スイッチングTFTの半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリ。

**【請求項8】**

前記メモリTFTおよび前記スイッチングTFTの半導体活性層の厚さは、150nm未満である請求項7に記載の不揮発性メモリ。

**【請求項9】**

前記メモリTFTの半導体活性層の厚さは1～50nmであり、前記スイッチングTFTの半導体活性層の厚さは40～100nmである請求項8に記載の不揮発性メモリ。

mentioned switching TFT. The non-volatile memory of Claim 5.

**[CLAIM 7]**

A non-volatile memory, in which the memory cell which consists of a memory TFT and the switching TFT is the non-volatile memory arranged in a matrix, comprised such that the above-mentioned memory TFT is equipped with the control gate electrode formed on an insulated substrate, the first insulating film, the floating gate electrode, the 2nd insulating film, and the semiconductor active layer at least.

The above-mentioned switching TFT has the gate electrode formed on the above-mentioned insulated substrate, and the first insulating film the semiconductor active layer at least.

The integral formation of the above-mentioned memory TFT and the above-mentioned switching TFT is done on the above-mentioned insulated substrate. And the thickness of the semiconductor active layer of the above-mentioned memory TFT is thinner than the thickness of the semiconductor active layer of the above-mentioned switching TFT.

**[CLAIM 8]**

The thickness of the above-mentioned memory TFT and the semiconductor active layer of the above-mentioned switching TFT is less than 150 nm. The non-volatile memory of Claim 7.

**[CLAIM 9]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is 1-50 nm.

The thickness of the semiconductor active layer of the above-mentioned switching TFT is 40-100 nm. The non-volatile memory of Claim 8.

**【請求項 10】**

前記メモリ TFT の半導体活性層の厚さは 10 ~ 40 nm であり、前記スイッチング TFT の半導体活性層の厚さは 40 ~ 100 nm である請求項 9 に記載の不揮発性メモリ。

**【請求項 11】**

前記メモリ TFT の半導体活性層の厚さは、前記スイッチング TFT の半導体活性層の厚さよりも、インパクトイオン化イオン化が発生しやすい厚さである請求項 7 ~ 10 の何れか一つに記載の不揮発性メモリ。

**【請求項 12】**

前記メモリ TFT の半導体活性層に流れるトンネル電流は、前記スイッチング TFT の半導体活性層に流れるトンネル電流の 2 倍以上である請求項 11 に記載の不揮発性メモリ。

**【請求項 13】**

絶縁基板上に第 1 の厚さを有する非晶質珪素膜と、第 2 の厚さを有する非晶質珪素膜とを形成する工程と、  
前記第 1 の厚さを有する非晶質珪素膜と、前記第 2 の厚さを有する非晶質珪素膜とを結晶化させ、第 1 の厚さを有する多結晶珪素膜と、第 2 の厚さを有する多結晶珪素膜とを形成する工程と、  
前記第 1 の多結晶珪素膜上にメモリ TFT を形成し、前記第 2 の多結晶珪素膜上にスイッチング TFT を形成する工程と、

**[CLAIM 10]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is 10-40 nm.

The thickness of the semiconductor active layer of the above-mentioned switching TFT is 40-100 nm. The non-volatile memory of Claim 9.

**[CLAIM 11]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is thickness which is easier to generate impact ionization than the thickness of the semiconductor active layer of the above-mentioned switching TFT. The non-volatile memory described in any one of Claims 7-10.

**[CLAIM 12]**

The tunnel current which flows the semiconductor active layer of the above-mentioned memory TFT is more than double of the tunnel current which flows the semiconductor active layer of the above-mentioned switching TFT. The non-volatile memory of Claim 11.

**[CLAIM 13]**

A manufacturing method of the non-volatile memory, which is the manufacturing method of the non-volatile memory including the process which forms the amorphous silicon membrane which has first thickness, and the amorphous silicon membrane which has 2nd thickness, on an insulated substrate, the process which crystallizes the amorphous silicon membrane which has first thickness, and the amorphous silicon membrane which has second thickness, and forms the polycrystalline silicon membrane which has first thickness, and the polycrystalline silicon membrane which has 2nd thickness, the process which forms a memory TFT on a first polycrystalline silicon membrane, and forms switching TFT on a second polycrystalline silicon membrane, comprised such that first

を含む不揮発性メモリの製造方法であって、

前記第1の厚さは、前記第2の厚さよりも薄いことを特徴とする不揮発性メモリの製造方法。

**【請求項14】**

前記メモリTFTおよび前記スイッチングTFTの半導体活性層の厚さは、150nm未満である請求項13に記載の不揮発性メモリの製造方法。

**【請求項15】**

前記第1の厚さは1～50nmであり、前記第2の厚さは40～100nmである請求項14に記載の不揮発性メモリの製造方法。

**【請求項16】**

前記第1の厚さは10～40nmである請求項15に記載の不揮発性メモリの製造方法。

**【請求項17】**

前記メモリTFTの半導体活性層の厚さは、前記スイッチングTFTの半導体活性層の厚さよりも、インパクトイオン化ゼイションが発生しやすい厚さである請求項13～16の何れか一つに記載の不揮発性メモリ。

**【請求項18】**

前記メモリTFTの半導体活性層に流れるトンネル電流は、前記スイッチングTFTの半導体活性層に流れるトンネル電流の2倍以上である請求項17に記載の不揮発性メモリ。

thickness is thinner than second thickness.

**[CLAIM 14]**

The thickness of the above-mentioned memory TFT and the semiconductor active layer of the above-mentioned switching TFT is less than 150 nm. The manufacturing method of the non-volatile memory of Claim 13.

**[CLAIM 15]**

First thickness is 1-50 nm.

Second thickness is 40-100 nm. The manufacturing method of the non-volatile memory of Claim 14.

**[CLAIM 16]**

First thickness is 10-40 nm. The manufacturing method of the non-volatile memory of Claim 15.

**[CLAIM 17]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is thickness which is easier to generate impact ionization than the thickness of the semiconductor active layer of the above-mentioned switching TFT. The non-volatile memory described in any one of Claims 13-16.

**[CLAIM 18]**

The tunnel current which flows the semiconductor active layer of the above-mentioned memory TFT is more than the double of the tunnel current which flows the semiconductor active layer of the above-mentioned switching TFT. The non-volatile memory of Claim 17.

## 【発明の詳細な説明】

## [DETAILED DESCRIPTION OF INVENTION]

【0001】

[0001]

## 【発明が属する技術分野】

## [The technical specialty to which invention belongs]

【0002】

本発明は、SOI (Silicon On Insulator) 技術を用いて形成される薄膜トランジスタの不揮発性メモリに関する。特に、その駆動回路などの周辺回路と共に絶縁基板上に一体形成されたEEPROM (Electrically Erasable and Programmable Read Only Memory) に関する。また、ここでいうSiliconは単結晶、あるいは実質的に単結晶であるものをいう。

[0002]

This invention relates to the non-volatile memory of the thin-film transistor formed using SOI (Silicon On Insulator) technology.

Particularly, it relates to EEPROM (Electrically Erasable and Programmable Read Only Memory) which is integrally formed on the insulated substrate with periphery circuits, such as the driving circuit.

moreover, Silicon here is a single crystal or that which is a substantially single crystal.

【0003】

[0003]

## 【従来技術】

## [PRIOR ART]

【0004】

近年、半導体装置の小型化に伴い、高性能、高記憶容量、かつ小型のメモリが要求されてきた。現在半導体装置の記憶装置としては、磁気ディスクやバルクシリコンで作製された半導体不揮発性メモリが最もよく用いられている。

[0004]

In recent years, in connection with a size-reduction of a semiconductor device, high performance, the high memory capacity, and the small-sized memory have been required.

As a memory device of a semiconductor device, the semiconductor non-volatile memory produced with a magnetic disc or bulk silicon is used best currently.

## 【0005】

磁気ディスクは、記憶容量に関しては、半導体装置に用いられる中で最も大きいものの一つであるが、小型化が困難で、かつ書き込み／読み出し速度が遅いという欠点がある。

## 【0006】

一方、半導体不揮発性メモリは、現在記憶容量に関しては磁気ディスクに劣るものの、その書き込み／読み出し速度は、磁気ディスクの数十倍である。また、半導体不揮発性メモリは、書き換え回数やデータ保持時間に関しても十分な性能を有するものが開発されてきている。そこで、最近半導体メモリを磁気ディスクの代替品として用いる動きが高まってきた。

## 【0007】

【発明が解決しようとする課題】

## 【0008】

しかし、従来、半導体不揮発性メモリは、バルクシリコンを用いて作製され、パッケージに収められているので、このような半導体不揮発性メモリを半導体装置に搭載する場合、工程が増加し、かつそのパッケージサイズのために半導体装置の小型化に支障をきたしていた。

## 【0009】

そこで本発明は、上記の事情を

## [0005]

Particularly a magnetic disc is one of the biggest objects in being used for a semiconductor device about a memory capacity.

However, a size-reduction is difficult. And writing-in / read-out velocity is slow. There is the fault above.

## [0006]

On the other hand, particularly a semiconductor non-volatile memory is inferior to a magnetic disc about a memory capacity currently.

However, its writing-in / read-out velocity is several-dozen-folds of a magnetic disc.

Moreover, as a semiconductor non-volatile memory, that which has sufficient performance particularly about the frequency of rewriting or a data retention time has been developed.

Then, the motion using a semiconductor memory as a substituted item of a magnetic disc has increased recently.

## [0007]

## [PROBLEM ADDRESSED]

## [0008]

However, conventionally, a semiconductor non-volatile memory is produced using bulk silicon, and is stored in the package.

Therefore when it mounts such a semiconductor non-volatile memory in a semiconductor device, a process increases.

And trouble was caused to the size-reduction of a semiconductor device for the package size.

## [0009]

Then this invention was made in view of the situation of an above.

鑑みてなされたものであり、他の半導体装置の部品と一体形成され得、小型化が可能な不揮発性メモリを提供することを課題とする。

It subjects providing the non-volatile memory which is integrally formed with the component of the other semiconductor device, and is capable of size-reduction.

【0010】

[0010]

【課題を解決するための手段】

[SOLUTION OF THE INVENTION]

【0011】

本発明のある実施態様によると、メモリTFTとスイッチングTFTとから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、前記メモリTFTは、絶縁基板上に形成される半導体活性層と、ゲイト絶縁膜と、フローティングゲイト電極と、前記フローティングゲイト電極を陽極酸化して得られる陽極酸化膜と、コントロールゲイト電極と、を少なくとも備えており、前記スイッチングTFTは、前記絶縁基板上に形成される半導体活性層と、ゲイト絶縁膜と、ゲイト電極と、を少なくとも備えており、前記メモリTFTと前記スイッチングTFTとは、前記絶縁基板上に一体形成され、かつ前記メモリTFTの半導体活性層の厚さは、前記スイッチングTFTの半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリが提供される。このことによって上記目的が達成される。

[0011]

According to the embodiment with this invention, the memory cell which consists of a memory TFT and the switching TFT is the non-volatile memory arranged in a matrix, comprised such that the above-mentioned memory TFT is equipped with the semiconductor active layer formed on an insulated substrate, the gate insulating film, the floating gate electrode, the anodized film obtained by anodizing the above-mentioned floating gate electrode, and the control gate electrode at least. The above-mentioned switching TFT has at least the semiconductor active layer formed on the above-mentioned insulated substrate, the gate insulating film, and the gate electrode. The integral formation of the above-mentioned memory TFT and the above-mentioned switching TFT is done on the above-mentioned insulated substrate. And the thickness of the semiconductor active layer of the above-mentioned memory TFT is thinner than the thickness of the semiconductor active layer of the above-mentioned switching TFT.

The non-volatile memory characterized by the above-mentioned is provided.

The above purpose is accomplished by this.

【0012】

前記メモリTFTおよび前記ス

[0012]

Thickness of the semiconductor active layer of the above-mentioned memory TFT and the

イッチングTFTの半導体活性層の厚さは、150nm未満であつてもよい。

**【0013】**

前記メモリTFTの半導体活性層の厚さは1~50nmであり、前記スイッチングTFTの半導体活性層の厚さは40~100nmであつてもよい。

**【0014】**

前記メモリTFTの半導体活性層の厚さは10~40nmであつてもよい。

**【0015】**

前記メモリTFTの半導体活性層の厚さは、前記スイッチングTFTの半導体活性層の厚さよりも、インパクトイオン化ゼイションが発生しやすい厚さであつてもよい。

**【0016】**

前記メモリTFTの半導体活性層に流れるトンネル電流は、前記スイッチングTFTの半導体活性層に流れるトンネル電流の2倍以上であつてもよい。

**【0017】**

また、本発明のある実施態様によると、メモリTFTとスイッチングTFTとから成るメモリセルがマトリクス状に配置された不揮発性メモリであつて、前記メモリTFTは、絶縁基板上に形成されるコントロールゲイト電極と、第1の絶縁膜と、フローティングゲイト電極と、第2の絶縁膜と、半導体活性層と、

above-mentioned switching TFT, may be less than 150 nm.

**[0013]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is 1-50 nm.

40-100 nm of the thickness of the semiconductor active layer of the above-mentioned switching TFT is sufficient.

**[0014]**

10-40 nm of the thickness of the semiconductor active layer of the above-mentioned memory TFT is sufficient.

**[0015]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT may be the thickness which is easier to generate impact ionization than the thickness of the semiconductor active layer of the above-mentioned switching TFT.

**[0016]**

More than the double of the tunnel current which flows the semiconductor active layer of the above-mentioned switching TFT may be more than double of the tunnel current which flows the semiconductor active layer of the above-mentioned switching TFT.

**[0017]**

Moreover according to the embodiment with this invention, the memory cell which consists of a memory TFT and the switching TFT is the non-volatile memory arranged in a matrix, comprised such that the above-mentioned memory TFT is equipped with the control gate electrode formed on an insulated substrate, a first insulating film, a floating gate electrode, a 2nd insulating film, and semiconductor active layers at least.

The above-mentioned switching TFT has the



を少なくとも備えており、前記スイッチングTFTは、前記絶縁基板上に形成されるゲイト電極と、第1の絶縁膜と、半導体活性層を少なくとも備えており、前記メモリTFTと前記スイッチングTFTとは、前記絶縁基板上に一体形成され、かつ前記メモリTFTの半導体活性層の厚さは、前記スイッチングTFTの半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリが提供される。このことによって上記目的が達成される。

**[0018]**

前記メモリTFTおよび前記スイッチングTFTの半導体活性層の厚さは、150nm未満であつてもよい。

**[0019]**

前記メモリTFTの半導体活性層の厚さは1~50nmであり、前記スイッチングTFTの半導体活性層の厚さは40~100nmであつてもよい。

**[0020]**

前記メモリTFTの半導体活性層の厚さは10~40nmであり、前記スイッチングTFTの半導体活性層の厚さは40~100nmであつてもよい。

**[0021]**

前記メモリTFTの半導体活性層の厚さは、前記スイッチングTFTの半導体活性層の厚さよりも、インパクトイオン化ゼイションが発生しやすい厚さであ

semiconductor active layer at least with the gate electrode formed on the above-mentioned insulated substrate, and the first insulating film.

The integral formation of the above-mentioned memory TFT and the above-mentioned switching TFT is done on the above-mentioned insulated substrate. And the thickness of the semiconductor active layer of the above-mentioned memory TFT is thinner than the thickness of the semiconductor active layer of the above-mentioned switching TFT.

The non-volatile memory characterized by the above-mentioned is provided.

The above purpose is accomplished by this.

**[0018]**

Less than 150 nm of the thickness of the above-mentioned memory TFT and the semiconductor active layer of the above-mentioned switching TFT is sufficient.

**[0019]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is 1-50 nm.

Thickness of the semiconductor active layer of the above-mentioned switching TFT may be 40-100 nm.

**[0020]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT is 10-40 nm.

Thickness of the semiconductor active layer of the above-mentioned switching TFT may be 40-100 nm.

**[0021]**

The thickness of the semiconductor active layer of the above-mentioned memory TFT may be the thickness which is easier to generate impact ionization than the thickness of the semiconductor active layer of the above-mentioned switching TFT.

ってもよい。

**【0022】**

前記メモリTFTの半導体活性層に流れるトンネル電流は、前記スイッチングTFTの半導体活性層に流れるトンネル電流の2倍以上であってもよい。

**【0023】**

また、本発明のある実施態様によると、絶縁基板上に第1の厚さを有する非晶質珪素膜と、第2の厚さを有する非晶質珪素膜とを形成する工程と、前記第1の厚さを有する非晶質珪素膜と、前記第2の厚さを有する非晶質珪素膜とを結晶化させ、第1の厚さを有する多結晶珪素膜と、第2の厚さを有する多結晶珪素膜とを形成する工程と、前記第1の多結晶珪素膜上にメモリTFTを形成し、前記第2の多結晶珪素膜上にスイッチングTFTを形成する工程と、を含む不揮発性メモリの製造方法であって、前記第1の厚さは、前記第2の厚さよりも薄いことを特徴とする不揮発性メモリの製造方法が提供される。このことによって上記目的が達成される。

**【0024】**

前記メモリTFTおよび前記スイッチングTFTの半導体活性層の厚さは、150nm未満であってもよい。

**【0025】**

前記第1の厚さは1～50nmであり、前記第2の厚さは40

**[0022]**

The tunnel current which flows the semiconductor active layer of the above-mentioned memory TFT may be more than the double of the tunnel current which flows the semiconductor active layer of the above-mentioned switching TFT.

**[0023]**

moreover according to the embodiment with this invention, it is the manufacturing method of the non-volatile memory including the process which forms the amorphous silicon membrane which has first thickness, and the amorphous silicon membrane which has 2nd thickness, on an insulated substrate, the process which crystallize the amorphous silicon membrane which has first thickness, and the amorphous silicon membrane which has second thickness, and forms the polycrystalline silicon membrane which has first thickness, and the polycrystalline silicon membrane which has 2nd thickness, and the process which forms a memory TFT on a first polycrystalline silicon membrane, and forms switching TFT on a second polycrystalline silicon membrane, comprised such that first thickness is thinner than second thickness.

The manufacturing method of the non-volatile memory characterized by the above-mentioned is provided.

The above purpose is accomplished by this.

**[0024]**

Less than 150 nm of the thickness of the above-mentioned memory TFT and the semiconductor active layer of the above-mentioned switching TFT is sufficient.

**[0025]**

First thickness is 1-50 nm.

40-100 nm of second thickness is sufficient.

～100nmであつてもよい。

**【0026】**

前記第1の厚さは10～40nmであつてもよい。

**[0026]**

10-40 nm of first thickness is sufficient.

**【0027】**

前記メモリTFTの半導体活性層の厚さは、前記スイッチングTFTの半導体活性層の厚さよりも、インパクトイオン化ゼイションが発生しやすい厚さであつてもよい。

**[0027]**

Thickness of the semiconductor active layer of the above-mentioned memory TFT, may be the thickness which is easier to generate impact ionization than the thickness of the semiconductor active layer of the above-mentioned switching TFT.

**【0028】**

前記メモリTFTの半導体活性層に流れるトンネル電流は、前記スイッチングTFTの半導体活性層に流れるトンネル電流の2倍以上であつてもよい。

**[0028]**

More than the double of the tunnel current which flows the semiconductor active layer of the above-mentioned switching TFT may be the tunnel current which flows the semiconductor active layer of the above-mentioned memory TFT.

**【0029】****[0029]****【実施例】****[Example]****【0030】 (実施例1)****[0030] (Example 1)****【0031】**

本実施例では、絶縁基板上に形成される不揮発性メモリ、特にEEPROMについて述べる。本実施例のEEPROMは、その駆動回路などの周辺回路と共に、絶縁基板上に一体形成される。

**[0031]**

This Example describes the non-volatile memory formed on an insulated substrate, especially EEPROM.

The integral formation of the EEPROM of this Example is done on an insulated substrate with periphery circuits, such as the driving circuit.

**【0032】**

図1を参照する。図1に本実施例の4kビットEEPROMの回路図を示す。本実施例の4kビットEEPROMは、複数の

**[0032]**

Fig. 1 is referred.

The circuit diagram of 4 k bit EEPROM of this Example is shown in Fig. 1.

4 k bit EEPROM of this Example is composed of

電氣的消去可能なメモリ素子  $T_{r1}$ 、複数のスイッチング素子  $T_{r2}$ 、XおよびYアドレスデコーダ101、102、および他の周辺回路103、104によって構成される。他の周辺回路には、アドレスバッファ回路やコントロールロジック回路などが含まれ、必要に応じて設けられる。図1では、各ビット情報が記録されるメモリ素子（記憶素子）は、 $T_{r1}$ で示されている。 $T_{r1}$ は、フローティングゲイトを有するPチャネル型不揮発性メモリである。 $T_{r2}$ は、Nチャネルスイッチング素子 $T_{r2}$ である。

#### 【0033】

2個のTFT（ $T_{r1}$ および $T_{r2}$ ）は、それぞれのドレイン電極が互いに直列に接続されており、この直列接続回路によって1ビットのメモリセルを構成する。本実施例では、このメモリセルが縦64個×横64個マトリクス状に配列されている。各メモリセルは1ビットの情報を記憶することができるので、本実施例のEEPROMは、4096ビット（=約4kビット）の記憶容量を有する。なお本実施例では、記憶容量が4096ビットのEEPROMについて説明するが、本発明は、いかなる記憶容量のEEPROMを構成する際にも適応され得る。

#### 【0034】

各列に配置されているメモリセルは、A0、B0～A63、B63という符号が付けられてい

some memory devices  $T_{r1}$  which can carry out an electric elimination, several switching devices  $T_{r2}$ , X and Y address decoder 101, 102, and the other periphery circuit 103, 104.

An address buffer circuit, a control logical circuit, etc. are contained in the other periphery circuit. They are provided depending on the need.

The memory device (memory element) by which each bit information is recorded in Fig. 1 is shown by  $T_{r1}$ .

$T_{r1}$  is a P channel type non-volatile memory which has a floating gate.

$T_{r2}$  is the N channel switching device  $T_{r2}$ .

#### 【0033】

As for two TFTs ( $T_{r1}$  and  $T_{r2}$ ), each drain electrode is connected serially mutually.

This serial-connection circuit constitutes a 1-bit memory cell.

In this Example, this memory cell is arranged in the matrix shape of 64 long and 64 wide.

Each memory cell can store 1-bit information.

Therefore EEPROM of this Example has the memory capacity of 4096 bits (= about 4 k bits).

In addition, this Example demonstrates EEPROM whose memory capacity is 4096 bits.

However, in the case this invention constitutes EEPROM of which memory capacity, it may be adapted.

#### 【0034】

The ends are connected to the signal line to which a code called A0, B0-A63, and B63 by the memory cell arranged at each row is

る信号線にその両端が接続されている。また、各行に配列されているメモリセルは、信号線C0、D0～C63～D63に各メモリセルのゲイト電極が接続されている。なお図1に示されるように、本実施例では、4kビットEEPROMを構成する各メモリセルに、(0、0)、(1、0)、(63、63)といった符号が付けられている。

#### 【0035】

各信号線A0、B0～A63、B63、およびC0、D0～C63～D63は、それぞれXアドレスデコーダ101、およびYアドレスデコーダ102に接続されている。このXアドレスデコーダ101およびYアドレスデコーダ102によって、特定のメモリセルが指定され、データの書き込み、読み出し、あるいは消去が行われる。

#### 【0036】

次に、本実施例のメモリセルの構成について図2を用いて説明する。図2には、本実施例のメモリセルの断面図が示されている。図2において、左側の素子がメモリ素子Tr1であり、右側の素子がスイッチング素子Tr2である。Tr1の半導体活性層202は、ソース・ドレイン領域203、204およびチャンネル領域205を含む。一方Tr2の半導体活性層206は、ソース・ドレイン領域207、208、低濃度不純物領域209、およびチャンネル領域210を含む。211および21

attached.

Moreover, as for the memory cell arranged by each line, the gate electrode of each memory cell is connected to a signal line C0, D0-C63 - D63.

In addition as shown in Fig. 1, in this Example, a code called (0, 0), (1, 0), and (63, 63) is attached to each memory cell which constitutes 4 k bit EEPROM.

#### 【0035】

Each signal lines A0, B0, -A63, B63 and C0, D0-C63, - D63 are respectively connected to X address decoder 101 and Y address decoder 102.

A specific memory cell is specified by this X address decoder 101 and Y address decoder 102. Writing-in, reading-out, or an erasure of data is performed.

#### 【0036】

Next, the constitution of the memory cell of this Example is demonstrated using Fig. 2.

The sectional drawing of the memory cell of this Example is shown in Fig. 2.

In Fig. 2, a left-hand side device is the memory device Tr1.

A right-hand side device is the switching device Tr2.

The semiconductor active layer 202 of Tr1 contains the source \* drain region 203, 204 and the channel region 205.

On the other hand, the semiconductor active layer 206 of Tr2 contains the source \* drain region 207, 208, the low-concentration impurity region 209, and the channel region 210.

211 and 212 are gate insulating films.

213 is a floating gate electrode.

214, 218 is an anodized film.

2はゲイト絶縁膜である。213はフローティングゲイト電極である。214、218は陽極酸化膜である。215はコントロールゲイト電極である。216、220、および219はソース・ドレイン電極である。221は層間絶縁膜である。

## 【0037】

図2に示すようにメモリ素子Tr1の半導体活性層の厚さd1と、スイッチング素子Tr2の半導体活性層の厚さd2とは異なっており、 $d1 < d2$ である。こうすることによって、メモリ素子Tr1の半導体活性層でのインパクトイオン化（impact ionization; インパクトイオン化、あるいは衝突電離）がより起こりやすくなり、Tr1のフローティングゲイト電極への電荷の注入が起こりやすくなる。また、メモリ素子の半導体活性層に流れるトンネル電流は、スイッチング素子の半導体活性層に流れるトンネル電流の2倍以上であることが好ましい。このことによって、メモリ素子の書込み/消去を低電圧で行うことができるので、メモリ素子の書込み回数に対するメモリ素子の劣化がすくなくなる。

## 【0038】

なお、XおよびYアドレスデコーダ101、102を構成するTFTや他の周辺回路を構成するTFTの半導体活性層の厚さは、スイッチングTFTTr2の厚さと同様である。

215 is a control gate electrode.  
216, 220 and 219 are source \* drain electrodes.  
221 is a layer-insulation membrane.

## [0037]

As shown in Fig. 2, the thickness d1 of the semiconductor active layer of the memory device Tr1 differs from the thickness d2 of the semiconductor active layer of the switching device Tr2.

It is  $d1 < d2$ .

Thus, impact ionization (impact ionization; impact ionization or collision ionization) in the semiconductor active layer of the memory device Tr1 becomes easier to happen.

An injection of the electric charge to the floating gate electrode of Tr1 becomes easy to happen.

Moreover, it is preferable that the tunnel current which flows the semiconductor active layer of a memory device is more than double the tunnel current which flows the semiconductor active layer of a switching device.

This can write/erase a memory device at a low voltage. Degradation of the memory device with respect to the frequency of write of a memory device decreases.

## [0038]

In addition, the thickness of the semiconductor active layer of TFT which constitutes TFT and the other periphery circuit which constitute X and Y address decoder 101, 102 is the same as the thickness of switching TFTTr2.

## 【0039】

ここで、本実施例のEEPROMの動作について、図1におけるメモリセル(1, 1)を例にとって説明する。

## 【0040】

まず、メモリ素子(1, 1)にデータを書き込む場合、A1に-5Vの電圧が印加される。また、信号線D1にも5Vの電圧が印加される。そこで信号線B1をGNDにおとし、信号線C1には20V程度の高電圧を印加すると、Tr1のチャネル領域を移動するキャリア(この場合はホール)が加速され、弱いアバランシェ崩壊またはインパクトイオン化が起こり、多量の高エネルギー状態のホットキャリア(電子)が発生する。このキャリアがゲイト絶縁膜に注入され、フローティングゲイト電極にトラップされる。このようにしてTr1のフローティングゲイト電極に電荷が貯蓄される。フローティングゲイト電極に電荷が貯蓄されることによってTr1のしきい値電圧が変化する。

## 【0041】

次に、メモリ素子(1, 1)からデータを読み出す場合、信号線C1には0Vが印加され、D1には5Vが印加される。そしてB1をGNDにおとすと、フローティングゲイト電極に電荷が貯蓄されている場合と貯蓄されていない場合とで、Tr1のしきい値電圧が変化し、記憶さ

## [0039]

Here, the memory cell (1,1) in Fig. 1 is demonstrated for an example about action of EEPROM of this Example.

## [0040]

First, when writing data in a memory device (1,1), the voltage of -5V is impressed to A1.

Moreover, the voltage of 5V is impressed also to a signal line D1.

Then a signal line B1 falls on GND. If the about 20 V high voltage is impressed to signal-line C1, the carrier (it is a hole in this case) which transfers the channel region of Tr1 is accelerated. A weak avalanche collapse or impact ionization happens. The hot carrier (electron) of a lot of high-energy states generates.

This carrier is injected by the gate insulating film. A trap is done to a floating gate electrode.

An electric charge is thus saved by the floating gate electrode of Tr1.

When an electric charge is saved by the floating gate electrode, the threshold voltage of Tr1 changes.

## [0041]

Next, when reading data from a memory device (1,1), 0V are impressed to signal-line C1. 5V are impressed to D1.

And if B1 is dropped on GND, the threshold voltage of Tr1 will change when the electric charge is saved by the floating gate electrode, and when not being saved.

The signal which it stored will be read from A1.

れていた信号がA 1から読み出されることになる。

#### 【0042】

次に、記憶素子(1、1)に記憶されているデータを消去する場合、信号線D 1には5 Vが印加され、信号線B 1をGNDにおとす。そして、信号線C 1に-20 V程度の電圧が印加されると、フローティングゲイト電極にトラップされていた電子がドレイン領域へ注入される。よって、記憶されていたデータが消去される。

#### [0042]

Next, when erasing the data which the memory element (1,1) stores, 5V are impressed to a signal line D1. A signal line B1 is dropped on GND.

And, if about -20 V voltage is impressed to signal-line C1, the electron which is trapped to the floating gate electrode will be injected to a drain region.

Therefore, the data which it stored are erased.

#### 【0043】

以上の動作を下の表にまとめる。

#### [0043]

The above action is collected into a lower table.

#### 【0044】

#### [0044]

#### 【表 1】

#### [Table 1]

	A 1 (V)	B 1 (V)	C 1 (V)	D 1 (V)
書き込み時	0 / -5	GND	20	-5
読み出し時	-	GND	0	-5
消去時	-	GND	-20	-5

At the time of writing

At the time of reading

At the time of erasure

#### 【0045】

なお、記憶素子に印加される電圧は、記憶素子の半導体活性層の膜厚やコントロールゲイト電極-フローティング電極間の容量等に依存する。よって、記憶

#### [0045]

In addition, the voltage impressed to a memory element depends on the film thickness of the semiconductor active layer of a memory element, the capacity between control gate electrode-floating electrodes, etc.

Therefore, about the operating voltage of a



素子の動作電圧については、上述した電圧に限られるわけではない。

**【0046】**

EEPROMは、その書き換え回数と情報保持時間が重要である。書き換え回数を多く可能にするために、記憶素子のコントロール電極に印加される電圧を小さくすることが要求される。本実施例の記憶素子の半導体活性層の厚さは、スイッチングTFTやアドレスデコーダを構成するTFTの半導体活性層の厚さよりも厚いので、インパクトイオン化が起こりやすく、コントロール電極に印加される電圧を低くすることができる。

**【0047】**

また、本実施例において、メモリ素子にデータを書込み／消去する場合、メモリ素子のコントロール電極に一度に20Vの電圧を印加するのではなく、これよりも低い電圧を複数回のパルスで印加することによって、素子の劣化を防ぐことも出来る。

**【0048】**

また、本実施例のEEPROMを構成するTFTには、移動度、しきい値電圧等に高特性が要求されるので、従来よく用いられているアモルファスシリコンの半導体活性層を備えたTFTでは十分ではない。そこで、上記のような高特性を示すTFTを作製する方法を以下に示す。以下の作製方法によると、高特性

memory element, it is not necessarily restricted to the voltage mentioned the above.

**[0046]**

The frequency of rewriting and the information retention time are important for EEPROM.

In order to potentiate many frequency of rewriting, it is required that the voltage impressed to the control electrode of a memory element is made small.

The thickness of the semiconductor active layer of the memory element of this Example is thicker than the thickness of the semiconductor active layer of TFT which constitutes switching TFT and an address decoder. Impact ionization tends to happen. The voltage impressed to a control electrode can be made low.

**[0047]**

Moreover, in this Example, when it writes in and erases data at a memory device, the voltage of 20V is not impressed to the control electrode of a memory device at once. Degradation of a device can also be prevented by impressing a voltage lower than this by the pulse of multiple times.

**[0048]**

Moreover, a high characteristic is required of mobility, a threshold voltage, etc. at TFT which constitutes EEPROM of this Example.

Therefore TFT equipped with the semiconductor active layer of the amorphous silicon used well conventionally is not sufficient.

Then, how to produce TFT which shows the above high characteristics is shown below.

According to the following production method, characteristic TFT is producible. EEPROM of this Example can be realized.

のTFTを作製することができ、本実施例のEEPROMが実現できる。

**【0049】**

本実施例のEEPROMの作製方法を図3～図7を用いて説明する。なお、図3～図7には、本実施例のEEPROMを構成するTFTとして、メモリセルを構成するメモリ素子およびスイッチング素子、ならびにアドレスデコーダやその他の周辺回路を構成する回路として代表的なCMOS回路を構成する2つのTFTを例にとって説明する。

**【0050】**

また、以下に示す不揮発性メモリの製造方法によると、薄膜技術を用いて作製され得るいかなる半導体装置と本発明の不揮発性メモリとは、一体形成され得ることが理解される。

**【0051】**

図3を参照する。まず、絶縁表面を有する基板として石英基板301を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板を用いても良い。

**【0052】****[0049]**

The production method of EEPROM of this Example is demonstrated using Fig. 3 - a Figure 7.

In addition, in Fig. 3 - Figure 7, as TFT which constitutes EEPROM of this Example, as the memory device which constitutes a memory cell, a switching device, and the circuit which constitutes an address decoder and its other periphery circuit, 2 TFT which constitute typical CMOS circuit are demonstrated for an example.

**[0050]**

Moreover according to the manufacturing method of the non-volatile memory shown below, it understands that any semiconductor device that may be produced using a thin-film technology is integrally formed with the non-volatile memory of this invention.

**[0051]**

Referring to Figure 3, first, as the substrate which has the insulated surface, the quartz substrate 301 is provided.

The silicon substrate which formed the thermal-oxidation-ized membrane instead of the quartz substrate can also be used.

Moreover, an amorphous silicon membrane is once formed on a quartz substrate.

It is thermal-oxidation-ized completely to make an insulating film. The above method may be taken.

Furthermore, the quartz substrate which formed the silicon-nitride membrane as an insulating film, and a ceramic substrate may be used.

**[0052]**

次に、非晶質珪素膜 302 を厚さ 25 nm に形成する (図 3 (A))。本実施例では成膜を減圧熱 CVD 法で行い、下記条件に従って形成する。

成膜温度 : 465 °C  
成膜圧力 : 0.5 torr  
成膜ガス : He (ヘリウム) 300 sccm

Si<sub>2</sub>H<sub>6</sub> (ジシラン) 250 sccm

#### [0053]

次に、レジスト膜を形成し、パターンニングすることによってマスク 304 を形成する (図 3 (B))。その後、非晶質珪素膜 303 をエッチングし、基板上に部分的に形成された非晶質珪素膜 304 を形成する (図 3 (C))。なお、非晶質珪素膜 303 のエッチングには、ドライエッチングあるいはウェットエッチングのいずれを行ってもよい。ドライエッチングの場合、CF<sub>4</sub> + O<sub>2</sub> を用い、またウェットエッチングの場合、フッ素酸 + 硝酸を用いてもよい。

#### [0054]

次に、再び上述した方法で非晶質珪素膜を厚さ 50 nm に形成し、図 3 (D) に示すような非晶質珪素膜 305、306 を形成する。ここでは、最終的な膜厚 (熱酸化後の膜減りを考慮した膜厚) が、非晶質珪素膜 305 は 50 nm、かつ非晶質珪素

Next, the amorphous silicon membrane 302 is formed in thickness of 25 nm (figure 3(A)).

In this Example, a film forming is performed by the pressure-reduction heat CVD method, and it forms according to the following conditions.

Film-forming Temperature: 465 degree C  
Film-forming Pressure: 0.5 Torr  
Film-forming Gas: He(helium)300sccmSi<sub>2</sub>H<sub>6</sub> (disilane)250sccm

#### [0053]

Next, a resist membrane is formed. Mask 304 is formed by doing a patterning (figure 3(B)). After that, the amorphous silicon membrane 303 is etched.

The amorphous silicon membrane 304 partially formed on the substrate is formed (Fig. 3 (C)).

In addition, any of a dry etching or a wet etching may be performed to the etching of the amorphous silicon membrane 303.

In the case of a dry etching, CF<sub>4</sub>+O<sub>2</sub> is used. Moreover in the case of a wet etching, fluorine acid + nitric acid may be used.

#### [0054]

Next, an amorphous silicon membrane is formed in thickness of 50 nm by the method mentioned the above again. The amorphous silicon membrane 305,306 which is shown in Fig. 3 (D) is formed.

Here as for a film thickness final (film thickness which considered membrane decrease after thermal-oxidation-izing), the amorphous silicon membrane 305 was adjusted

膜306が75 nmとなるように調節した。

**【0055】**

なお、2度目の非晶質珪素膜の形成の前には、非晶質珪素膜304および石英基板301の表面を清浄化しておくことが望ましい。

**【0056】**

また、非晶質珪素膜305、306の形成にあたっては、別の方法を用いてもよい。例えば、上述した方法によって非晶質珪素膜を全体に75 nmに形成し、部分的にマスクを形成し、上述したエッチングによって部分的に膜厚を減少させた非晶質珪素膜を得ることもできる。

**【0057】**

なお、非晶質珪素膜305は、後にメモリ素子の半導体活性層となり、非晶質珪素膜306は、後にスイッチング素子および周辺のCMOS回路等の半導体活性層となる。

**【0058】**

なお、最終的な半導体活性層の厚さが150 nm以上、特に200 nm以上の場合、SOI特有のインパクトイオナイゼーションの発生がきわめて少なく、バルクシリコンを用いた不揮発性メモリで発生するケースとほとんど変わらなくなってしまう。よってSOI技術による不揮発性メモリの特性を引き出すことができない。このため、

so that it might be set to 50 nm. And it adjusted so that the amorphous silicon membrane 306 might be set to 75 nm.

**[0055]**

In addition, it is desirable to clean the surface of the amorphous silicon membrane 304 and the quartz substrate 301 before 2nd formation of an amorphous silicon membrane.

**[0056]**

Moreover, another method may be used for formation of the amorphous silicon membrane 305, 306.

For example, an amorphous silicon membrane is entirely formed in 75 nm by the method mentioned the above. A mask is formed partially. The film thickness was made to reduce partially by the etching mentioned the above. This amorphous silicon membrane can also be obtained.

**[0057]**

In addition, the amorphous silicon membrane 305 serves as the semiconductor active layer of a memory device behind. The amorphous silicon membrane 306 serves as semiconductor active layers, such as a switching device and surrounding CMOS circuit, behind.

**[0058]**

In addition, when the thickness of a final semiconductor active layer is 150 nm or more (especially 200 nm or more), generation of impact ionization peculiar to SOI is very few. It will stop hardly changing with the case generated by the non-volatile memory using bulk silicon.

Therefore the characteristic of the non-volatile memory by SOI technology cannot be pulled out.

For this reason, in this invention, both the final thickness of a semiconductor active layer has less than (preferably less than 100 nm) 150

本発明においては、最終的な半導体活性層の厚さは、共に150nm未満（好ましくは100nm未満）が好ましい。

#### 【0059】

また、本実施例では、上述したようにメモリ素子の非晶質珪素膜305の最終的な膜厚を50nm、スイッチング素子および周辺のCMOS回路等の非晶質珪素膜306の最終的な膜厚を75nmとしたが、それぞれ好ましくは、1～50nm（さらに好ましくは10～40nm）、40～100nmの範囲に形成すればよく、本実施例の膜厚に限定されるわけではない。

#### 【0060】

なお、非晶質珪素膜の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施例の場合、非晶質珪素膜305、306中では結晶化を阻害する不純物であるC（炭素）及びN（窒素）の濃度はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$  未満（代表的には $5 \times 10^{17} \text{ atoms/cm}^3$  以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$  以下）、O（酸素）は $1.5 \times 10^{19} \text{ atoms/cm}^3$  未満（代表的には $1 \times 10^{18} \text{ atoms/cm}^3$  以下、好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$  以下）となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明

preferablenm.

#### [0059]

Moreover, in this Example, as mentioned the above, the final film thickness of the amorphous silicon membrane 305 of a memory device was set to 50 nm. The final film thickness of the amorphous silicon membranes 306, such as a switching device and surrounding CMOS circuit, was set to 75 nm. However, what is sufficient is just to respectively form in the range of 1-50 nm (more preferably 10-40 nm) and 40-100 nm preferably. It is not necessarily limited to the film thickness of this Example.

#### [0060]

In addition, it is important to manage impurity concentration in a membrane thoroughly in case of the film forming of an amorphous silicon membrane.

In the case of this Example, in the inside of the amorphous silicon membrane 305 and 306, it is managed so that the concentration of C (carbon) and N (nitrogen) which are the impurity which obstructs crystallization may be less than  $5 \times 10^{18} \text{ atoms/cm}^3$  (typically  $5 \times 10^{17} \text{ atoms/cm}^3$  or less, preferably,  $2 \times 10^{17} \text{ atoms/cm}^3$  or less), and O (oxygen) may be less than  $1.5 \times 10^{19} \text{ atoms/cm}^3$ , (typically  $1 \times 10^{18} \text{ atoms/cm}^3$  or less, preferably  $5 \times 10^{17} \text{ atoms/cm}^3$  or less).

That is because if each impurity exists by the concentration beyond this, an adverse influence is done in the case of the next crystallization, and the film quality after crystallization is made reduce and caused.

In this description, the impurity element concentration of the above in a membrane is defined by the minimum value in the measurement result of SIMS (mass secondary ion analysis).

細書中において膜中の上記の不純物元素濃度は、SIMS（質量2次イオン分析）の測定結果における最小値で定義される。

**【0061】**

上記構成を得るため、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図ることが望ましい。ドライクリーニングは、200～400℃程度に加熱した炉内に100～300sccmの $\text{ClF}_3$ （フッ化塩素）ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

**【0062】**

なお、本発明者らの知見によれば炉内温度300℃とし、 $\text{ClF}_3$ （フッ化塩素）ガスの流量を300sccmとした場合、約2μm厚の付着物（主に珪素を主成分する）を4時間で完全に除去することができる。

**【0063】**

また、非晶質珪素膜305、306中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜305、306の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

**【0064】****[0061]**

In order to obtain above constitution, the pressure-reduction heat CVD furnace used in this Example performs dry cleaning routinely. It is desirable to attain cleaning of a film formation chamber.

As for the dry cleaning,  $\text{ClF}_3$  (fluorine chlorine) gas of 100 - 300sccm is passed to the furnace interior heated to 200-400 degree C extent.

What is sufficient is just to cleanse a film formation chamber by the fluorine generated according to heat decomposition.

**[0062]**

In addition, according to the present inventors's findings, when the temperature in the furnace is made into 300 degree C, and the rate of flow of  $\text{ClF}_3$  (fluorine chlorine) gas is set to 300sccms, the deposit (the principal component of silicon is mainly done) of about 2 micrometer thicknesses can be removed completely in 4 hours.

**[0063]**

Moreover, it is a parameter also with the very important hydrogen concentration in the amorphous silicon membrane 305,306.

When restraining a hydrogen content low, a crystalline good membrane seem to be obtained.

Therefore, it is preferable that the film forming of the amorphous silicon membrane 305 and 306 is a pressure-reduction heat CVD method.

In addition, a plasma-CVD method can also be used by optimizing film-forming conditions.

**[0064]**

次に、非晶質珪素膜 305、306 の結晶化工程を行う。結晶化の手段としては本発明者による特開平 7-130652 号公報記載の技術を用いる。同公報の実施例 1 および実施例 2 のどちらの手段でも良いが、本願発明では実施例 2 に記載した技術内容（特開平 8-78329 号公報に詳しい）を利用するのが好ましい。

**[0065]**

特開平 8-78329 号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜 307~309 を形成する。そして、非晶質珪素膜 305、306 の結晶化を助長する触媒元素としてニッケル (Ni) を含有した溶液をスピコート法により塗布し、Ni 含有層 310 を形成する（図 4 (A)）。

**[0066]**

なお、触媒元素としてはニッケル以外にも、コバルト (Co)、鉄 (Fe)、パラジウム (Pd)、白金 (Pt)、銅 (Cu)、金 (Au)、ゲルマニウム (Ge)、鉛 (Pb)、インジウム (In) 等を用いることができる。

**[0067]**

また、上記触媒元素の添加工程はスピコート法に限らず、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化

Next, the crystallization process of the amorphous silicon membrane 305,306 is performed.

As means of crystallization, a technology given in Unexamined-Japanese-Patent 7-130652 gazette by this inventor is used.

It is good with both of means, Example 1 and Example 2 of said gazette. However, in this invention, it is preferable to utilize the technical content (detailed to Unexamined Japanese Patent 8-78329 gazette) indicated in Example 2.

**[0065]**

A technology given in Unexamined Japanese Patent 8-78329 gazette forms the mask insulating films 307-309 which select the addition region of a catalyst element first.

And, as the catalyst element which encourages crystallization of the amorphous silicon membrane 305 and 306, the solution containing nickel (Ni) is applied by the spin coat method. The Ni-containing layer 310 is formed (Figure 4 (A)).

**[0066]**

In addition, as a catalyst element, cobalt (Co), iron (Fe), palladium (Pd), platinum (Pt), copper (Cu), gold (Au), germanium (Ge), a lead (Pb), an indium (In), etc. can be used besides nickel.

**[0067]**

Moreover, the addition process of an above catalyst element is not restricted to a spin coat method. The ion-implantation or the plasma doping method using the resist mask can also be used.

In this case, it becomes easy to control of a reduction of the occupied area of an addition region and the growth distance of a horizontal growth region.

した回路を構成する際に有効な技術となる。

#### 【0068】

次に、触媒元素の添加工程が終了したら、450℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質珪素膜305、306の結晶化を行う。本実施例では窒素雰囲気中570℃14時間の加熱処理を行う。

#### 【0069】

この時、非晶質珪素膜305、306の結晶化はニッケルを添加した領域311、312で発生した核から優先的に進行し、基板301の基板面に対してほぼ平行に成長した結晶領域313、314、および315が形成される。本発明者らはこの結晶領域313、314、および315を横成長領域と呼んでいる。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある（図4(B)）。

#### 【0070】

結晶化のための加熱処理が終了したら、マスク絶縁膜307、308、および309を除去してパターニングを行い、横成長領域のみでなる島状半導体層（活性層）316～319を形成する。

Therefore it becomes an effective technology in the case the micronized circuit is constituted.

#### [0068]

Next, if the addition process of a catalyst element is completed, after taking hydrogen at about 450 degrees C for 1 hour, the heat processing of 4-24 hours is added at the temperature of 500-700 degree C (typically 550-650 degree C) into an inert atmosphere, hydrogen atmosphere, or oxygen atmosphere. Crystallization of the amorphous silicon membrane 305 and 306 is performed.

This Example performs the heat processing of C1 4 hours 570 degrees in nitrogen atmosphere.

#### [0069]

At this time, the crystallization of the amorphous silicon membrane 305,306 preferably advances from the nucleus which generated in the region 311,312 which added nickel.

The crystalline regions 313,314 and 315 which grew almost in parallel to the substrate surface of a substrate 301 are formed.

The present inventors is this crystalline region 313,314.

And 315 is called horizontal growth area.

Since each crystallization in the state where it became complete comparatively has gathered, a horizontal growth region has the entire advantage of excelling crystalline (Figure 4 (B)).

#### [0070]

If the heat processing for crystallization is completed, the mask insulating films 307,308 and 309 will be removed, and a patterning will be performed. The insular semiconductor layers (active layer) 316-319 which become only in a horizontal growth region are formed.



## 【0071】

次に、島状半導体活性層316のチャネル形成領域、および317～319をレジストマスク320、321で覆い、P型を付与する不純物イオンの添加を行う。なお、本実施例ではB（ボロン）を不純物元素として用いたが、In（インジウム）を用いてもよい。なお、不純物添加時の加速電圧は、80 keV程度とする。

## 【0072】

よって、島状半導体活性層316のソース・ドレイン領域125および127、チャネル形成領域126が形成される。また、島状半導体活性層317～319は、レジストマスク321で覆われているので、不純物は添加されない。

## 【0073】

その後、レジストマスク321を除去し、珪素を含む絶縁膜となるゲイト絶縁膜325を形成する（図5（A））。ゲイト絶縁膜325の膜厚は後の熱酸化工程による増加分も考慮して10～250 nmの範囲で調節すれば良い。なお、メモリ素子島状の半導体活性層のゲイト絶縁膜の厚さを10～50 nmとし、他のゲイト絶縁膜の厚さを50～250 nmとしてもよい。なお、このゲイト絶縁膜には、SiO<sub>2</sub>、SiON、SiN等が用いられてもよい。また、成膜方法は公知の気相法（プラズマCVD法、スパッタ法等）を用いれば良い。

## 【0071】

Next, the channel formation region of the insular semiconductor active layer 316, and 317-319 are covered by the resist mask 320, 321.

The impurity ion which provides a P-type is added.

In addition, in this Example, B (boron) was used as an impurity element.

However, In (indium) may be used.

In addition, the acceleration voltage at the time of an impurity addition may be about 80 keVs.

## 【0072】

Therefore, the source \* drain regions 125 and 127 of the insular semiconductor active layer 316 and the channel formation region 126 are formed.

Moreover, the insular semiconductor active layers 317-319 are covered by the resist mask 321.

Therefore an impurity is not added.

## 【0073】

After that, the resist mask 321 is removed.

The gate insulating film 325 which becomes by the insulating film including silicon is formed (figure 5(A)).

What is sufficient is just to adjust the film thickness of the gate insulating film 325 in 10 - 250 nm by considering increment by next thermal-oxidation-ized process.

In addition, thickness of the gate insulating film of a memory device island-like semiconductor active layer is set to 10-50 nm.

It is good also as 50-250 nm in the thickness of the other gate insulating film.

In addition, SiO<sub>2</sub>, SiON, and SiN etc. may be used for this gate insulating film.

Moreover, the film-forming method should just use well-known gaseous-phase methods (a plasma-CVD method, sputtering method, etc.).

## 【0074】

次に、図5(A)に示す様に触媒元素(ニッケル)を除去または低減するための加熱処理(触媒元素のゲッタリングプロセス)を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

## 【0075】

なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。そのため加熱処理温度を好ましくは800~1000℃(代表的には950℃)とし、処理時間は0.1~6hr、代表的には0.5~1hrとする。なお、上記加熱時に、ソース・ドレイン領域に存在する不純物がチャネル領域に拡散しないようにする必要がある。

## 【0076】

代表的な実施例としては酸素雰囲気中に対して塩化水素(HCl)を0.5~10体積%(本実施例では3体積%)の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行えば良い。HCl濃度を上記濃度以上とすると、活性層316~319の表面に膜厚程度の凹凸が生じてしまうため好まし

## 【0074】

Next, the heat processing (gettering process of a catalyst element) for removing or reducing a catalyst element (nickel), as shown in figure 5(A) are performed.

A halogen element is included in this heat processing in process atmosphere.

The gettering effect of the metallic element by the halogen element is utilized.

## 【0075】

In addition, in order to obtain the gettering effect by the halogen element sufficiently, it is preferable to perform an above heat processing at the temperature exceeding 700 degree C.

A decomposition of the halogen compound in process atmosphere becomes difficult below at this temperature. There is a possibility that it may stop obtaining a gettering effect.

Therefore preferably, heat-processing temperature is made into 800-1000 degree C (typically 950 degree C).

Processing time is set to 0.1-6hr typically 0.5-1 hr.

In addition, the impurity which exists in a source \* drain region at the time of an above heating needs to be made not to diffuse to a channel region.

## 【0076】

As a typical Example, in the atmosphere containing hydrogen chloride (HCl) with the concentration of 0.5 - 10 volume % (in this Example, three volume %) to the oxygen atmosphere, what is sufficient is just to perform the heat processing for 950 degree C for 30 minutes.

If HCl concentration is done to more than above concentration, since the roughness about a film thickness will arise on the surface of active layers 316-319, it is not desirable.

くない。

#### 【0077】

また、ハロゲン元素を含む化合物としてはHClガス以外にもHF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub>等のハロゲン元素を含む化合物から選ばれた一種または複数種のものを用いることが出来る。

#### 【0078】

この工程においては活性層316～319中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去される。そして、この工程により活性層316～319中のニッケルの濃度は $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下（代表的には $2 \times 10^{17}$  atoms/cm<sup>3</sup>以下）にまで低減される。なお、本発明者らの経験によれば、ニッケル濃度が $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下（好ましくは $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下）であればTFT特性に悪影響はでない。

#### 【0079】

また、上記ゲッタリング処理はニッケル以外の他の金属元素にも効果的である。珪素膜中に混入しうる金属元素としては、主に成膜チャンバーの構成元素（代表的にはアルミニウム、鉄、クロム等）が考えられるが、上記ゲッタリング処理を行なえば、それら金属元素の濃度も $5 \times 10^{17}$  atoms/cm<sup>3</sup>以

#### [0077]

Moreover, as a compound including a halogen element, one type or multiple kinds selected out of the compound which contains halogen elements, such as HF, NF<sub>3</sub>, HBr, Cl<sub>2</sub>, ClF<sub>3</sub>, BCl<sub>3</sub> and F<sub>2</sub>, and Br<sub>2</sub>, besides HCl gas, can be used.

#### [0078]

In this process, the gettering of nickel in an active layer 316-319 is done by effect of chlorine. It becomes volatile nickel chloride and it detaches and removes into atmosphere.

And, concentration of nickel in an active layer 316-319 is reduced to  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less (typically  $2 \times 10^{17}$  atoms/cm<sup>3</sup> or less) according to this process.

In addition, according to experience of the present inventors, if nickel concentration is  $1 \times 10^{18}$  atoms/cm<sup>3</sup> or less (preferably  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less, an adverse influence does not appear in TFT characteristic.

#### [0079]

Moreover, the above gettering process is effective also for other metallic elements other than nickel.

As a metallic element which can be mixed into a silicon membrane, the constituent elements (typically aluminium, iron, chrome, etc.) of a film-forming chamber can mainly be considered.

However if an above gettering process is performed, the concentration of these metallic elements can also be made  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less (preferably  $2 \times 10^{17}$  atoms/cm<sup>3</sup> or less).

下（好ましくは  $2 \times 10^{17}$  atoms/cm<sup>3</sup> 以下）にすることが可能である。

#### 【0080】

なお、上記ゲッタリング処理を行うと、活性層 316～319 中にはゲッタリング処理に使用したハロゲン元素が  $1 \times 10^{16}$  ～  $1 \times 10^{20}$  atoms/cm<sup>3</sup> の濃度で残存する。

#### 【0081】

また、上記加熱処理により活性層 316～319 とゲイト絶縁膜 325 との界面では熱酸化反応が進行し、熱酸化膜の分だけゲイト絶縁膜 325 の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体／絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

#### 【0082】

さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で 950℃、1 時間程度の加熱処理を行なうことで、ゲイト絶縁膜 325 の膜質の向上を図ることも有効である。

#### 【0083】

次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型 129～132 を形成する。本実施例では 2 wt % のスカンジウムを含有し

#### [0080]

In addition, if an above gettering process is performed, in an active layer 316-319, the halogen element used to the gettering process remains by the concentration of  $1 \times 10^{16}$  -  $1 \times 10^{20}$  atoms/cm<sup>3</sup>.

#### [0081]

Moreover, by the boundary surface of active layers 316-319 and the gate insulating film 325, thermal-oxidation-ized reaction advances by the above heat processing. The film thickness of the gate insulating film 325 increases only the part of a thermal-oxidation-ized membrane.

Thus if a thermal-oxidation-ized membrane is formed, the few semiconductor / few insulating-film boundary surface of an interface state can be very obtained.

Moreover, there is also an effect which prevents poor formation (edge thinning) of the thermal-oxidation-ized membrane in an active layer-edge part.

#### [0082]

Furthermore, after giving the heat processing in above halogen atmosphere, a heat processing of 950 degree C, about one hour is performed in nitrogen atmosphere. It is also effective to aim at the improvement in the film quality of the gate insulating film 325.

#### [0083]

Next, the metal film which makes not shown aluminium a principal component is formed a film. The patterns 129-132 of a next gate electrode are formed by the patterning.

In this Example, the aluminium membrane containing the 2-wt% scandium is used.

In addition, a tantalum membrane, the silicon

たアルミニウム膜を用いる。なお、これ以外にもタンタル膜、導電性を有する珪素膜等を用いることもできる (図5 (B))。

**【0084】**

ここで本発明者らによる特開平7-135318号公報記載の技術を利用する。同公報には、陽極酸化により形成した酸化膜を利用して自己整合的にソース／ドレイン領域と低濃度不純物領域とを形成する技術が開示されている。以下にその技術について簡単に説明する。

**【0085】**

まず、アルミニウム膜のパターニングに使用したレジストマスク (図示せず) を残したまま3% シュウ酸水溶液中で陽極酸化処理を行い、多孔性の陽極酸化膜330~337を形成する。この膜厚が後に低濃度不純物領域の長さになるのでそれに合わせて膜厚を制御する。

**【0086】**

次に、図示しないレジストマスクを除去した後、エチレングリコール溶液に3%の酒石酸を混合した電解溶液中で陽極酸化処理を行う。この処理では緻密な無孔性の陽極酸化膜338~341が形成される。膜厚は70~120nmで良い。

**【0087】**

そして、上述の2回に渡る陽極酸化処理の後に残ったアルミニウム膜342~345が実質的にゲイト電極として機能する

membrane which has electroconductivity can also be used besides this (figure 5(B)).

**[0084]**

A technology given [ by the present inventors ] in Unexamined-Japanese-Patent 7-135318 gazette is utilized here.

In said gazette, the technology which forms an impurity region in low concentration with a source / drain region in self-adjustment using the oxide film formed by the anodic oxidation, is indicated.

The technology is demonstrated simply below.

**[0085]**

First, an anodizing is performed a resist mask (not shown) used to the patterning of an aluminium membrane in 3% oxalic-acid aqueous solution still under a remaining. The porous anodized films 330-337 are formed.

Since this film thickness becomes the length of an impurity region in low concentration behind, it joins to it and a film thickness is controlled.

**[0086]**

Next, after removing a not shown resist mask, an anodizing is performed in the electrolyte which mixed 3% of tartaric acid in the ethylene-glycol solution.

In this process, the precise non-porous anodized films 338-341 are formed.

A film thickness is good at 70-120 nm.

**[0087]**

And, the aluminium membranes 342-345 which remained after the anodizing using 2 times of above-mentioned function as a gate electrode substantially (Fig. 5 (C)).

In addition, the aluminium membrane 342

(図5 (C))。なお、アルミニウム膜342は、後にメモリ素子のフローティングゲイト電極となる。

**【0088】**

次にゲイト電極342～345、多孔性の陽極酸化膜330～337をマスクとしてゲイト絶縁膜325をドライエッチング法によりエッチングし、346～349にパターンニングする(図5 (D))。

**【0089】**

そして、多孔性の陽極酸化膜330～337を除去する(図6 (A))。こうして形成されるゲイト絶縁膜346～349の端部は多孔性の陽極酸化膜330～337の膜厚分だけ露出した状態となる。

**【0090】**

次に、ゲイト電極342を分断し、フローティングゲイト電極342'を形成する(図6 (B))。

**【0091】**

次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはN型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)またはIn(インジウム)を用いれば良い。

**【0092】**

まず、N型TFTの不純物添加を行うために、レジストマスク350、351を形成する。本

serves as the floating gate electrode of a memory device behind.

**[0088]**

Next the gate insulating film 325 is etched, using the gate electrodes 342-345 and the porous anodized films 330-337 as a mask by dry-etching method.

A patterning is carried out to 346-349 (Figure 5 (D)).

**[0089]**

And, the porous anodized films 330-337 are removed (figure 6(A)).

In this way the edge part of the gate insulating films 346-349 formed will be in the state where it exposed by a part for the film thickness of the porous anodized films 330-337.

**[0090]**

Next, the gate electrode 342 is parted and floating gate electrode 342' is formed (figure 6(B)).

**[0091]**

Next, the addition process of the impurity element which provides 1 electroconductivity is performed.

What is sufficient is just to use P (phosphorus) or As (arsenic), if it is a N-type as an impurity element. What is sufficient is just to use B (boron) or In (indium), if it is a P-type.

**[0092]**

First, in order to perform an impurity addition of N-type TFT, the resist mask 350,351 is formed.

In this Example, an impurity addition is divided into 2 times of processes, and is

実施例では、不純物添加を2回の工程に分けて行う。まず、1回目の不純物添加（本実施例ではP（リン）を用いる）を高加速電圧80keV程度で行い、 $n^-$ 領域を形成する。この $n^-$ 領域は、Pイオン濃度が $1 \times 10^{17} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

#### [0093]

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 $n^+$ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この $n^+$ 領域は、シート抵抗が500 $\Omega$ 以下（好ましくは300 $\Omega$ 以下）となるように調節する。

#### [0094]

よって、N型TFTのソース・ドレイン領域352～355、低濃度不純物領域356、357、およびチャネル領域358、359が形成される。

#### [0095]

次に、図6（D）に示すように、N型TFTを覆ってレジストマスク360、361を設け、P型を付与する不純物イオン（本実施例ではボロンを用いる）の添加を行い、 $p^-$ 領域、 $p^+$ 領域を形成する。この $p^-$ 領域は、ボロンイオン濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上（好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以上）となるように調節する。ボロンの他に、Ga、In

performed.

First, 1st impurity addition (P (phosphorus) is used in this Example) is performed by about 80 keVs of high acceleration voltages.  $n^-$  region is formed.

This  $n^-$  region is adjusted so that P ion concentration may become  $1 \times 10^{17} \text{ atoms/cm}^3 - 1 \times 10^{19} \text{ atoms/cm}^3$ .

#### [0093]

Furthermore, 2nd impurity addition is performed by about 10 keVs of low acceleration voltages.  $n^+$  region is formed.

Since an acceleration voltage is low at this time, a gate insulating film functions as a mask.

Moreover, this  $n^+$  region is adjusted so that a sheet resistor may become below 500 (OMEGA) (preferably 300 (OMEGA) or less ).

#### [0094]

Therefore, the source \* drain regions 352-355, the low-concentration impurity region 356,357 and the channel region 358,359 of N-type TFT are formed.

#### [0095]

Next, as shown in Fig. 6 (D), N-type TFT is covered and the resist mask 360,361 is provided. The impurity ion (a boron is used in this Example) which provides a P-type is added.  $p^-$  region and  $p^+$  region are formed.

This  $p^-$  region is adjusted so that a boron ion concentration may serve as  $1 \times 10^{17} \text{ atoms/cm}^3$  or more (preferably  $1 \times 10^{18} \text{ atoms/cm}^3$  or more).

Ga, In, etc. may be used other than a boron.

などを用いてもよい。

**【0096】**

こうしてP型TFTのソース・ドレイン領域362、363、低濃度不純物領域364、およびチャネル形成領域367が形成される(図6(D))。

**【0097】**

上述したように、スイッチングTFTおよび他の周辺回路のTFTには低濃度不純物領域が形成されているので、半導体活性層の厚さ薄い場合でもインパクトイオン化が起こりにくくなっている。

**【0098】**

以上の様にして活性層が完成したら、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物元素の活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

**【0099】**

なお、本実施例のTFTのチャネル形成領域は、不整合結合手の数が少なく、実質的に単結晶であるといえる。

**【0100】**

次に、層間絶縁膜368を500nmの厚さに形成する。層間絶縁膜368としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜、或いはそれらの積層膜を用いることができる。

**[0096]**

In this way the source \* drain region 362,363, the low-concentration impurity region 364 and the channel formation region 367 of P-type TFT are formed (Fig. 6 (D)).

**[0097]**

As mentioned the above, the impurity region is formed in TFT of the switching TFT and the other periphery circuit in low concentration.

Therefore in the thickness of a semiconductor active layer, even when thin, impact ionization has stopped happening.

**[0098]**

If an active layer is perfected as mentioned above, an impurity element is activated with the combination, such as a furnace annealing, a laser annealing, and a lamp annealing.

Simultaneously, the damage of an active layer received at the addition process is also recovered.

**[0099]**

In addition, the channel formation region of TFT of this Example has the few number of mismatching bonds. It can be said that it is a single crystal substantially.

**[0100]**

Next, the layer-insulation membrane 368 is formed in thickness of 500 nm.

As the layer-insulation membrane 368, a silicon-oxide membrane, a silicon-nitride membrane, an oxidation silicon-nitride membrane, organic resin membranes, or those laminated film can be used.



## 【0101】

次に、コンタクトホールを形成した後、ソース・ドレイン電極369～374、およびメモリ素子のコントロールゲイト電極375を形成する。このコントロールゲイト電極375は、陽極酸化膜338の上面に接続されている（図7（B））。

## 【0102】

最後に、基板全体を350℃の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を終端する。以上の工程によって、図7（B）に示す様な構造のTFTを作製することができる。

## 【0103】

（活性層中に含まれる不純物に関する知見）本実施例の活性層（半導体薄膜）には結晶化を阻害する元素であるC（炭素）、N（窒素）及びO（酸素）が存在しない、或いは実質的に存在しない点に特徴がある。これは徹底的な不純物（汚染物）管理によってなしうる構成である。

## 【0104】

本実施例の場合、非晶質珪素膜の成膜にあたってC（炭素）、N（窒素）及びO（酸素）の混入を徹底的に避けるので、必然的に最終的な半導体膜中に存在するC（炭素）及びN（窒素）の濃度は少なくとも $5 \times 10^{18}$  atoms/cm<sup>3</sup>未満（代表的には $5 \times 10^{17}$  atoms/cm<sup>3</sup>）

## 【0101】

Next, after forming a contact hole, the source \* drain electrodes 369-374 and the control gate electrode 375 of a memory device are formed.

This control gate electrode 375 is connected to the upper face of an anodized film 338 (Figure 7 (B)).

## 【0102】

Finally, the whole substrate is heated for one to 2 hours in 350-degree C hydrogen atmosphere. The termination of the dangling bond (azygos bond) in a membrane (especially inside of an active layer) is done by hydrogenating the whole device.

TFT of the structure which is shown in Figure 7 (B) is producible with the above process.

## 【0103】

(Realization about the impurity contained in an active layer) C (carbon), N (nitrogen) and O (oxygen) which are the element which obstructs crystallization do not exist or not exist substantially in the active layer (semiconductor thin film) of this Example. The description is in the point of an above.

This is the constitution which can be made by thorough impurity (contaminant) management.

## 【0104】

In the case of this Example, mixing of C (carbon), N (nitrogen), and O (oxygen) is thoroughly avoided in the film forming of an amorphous silicon membrane.

Therefore, the concentration of C (carbon) and N (nitrogen) which exist in a final semiconductor film inevitably is at least  $5 \times 10^{18}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less, preferably,  $2 \times 10^{17}$  atoms/cm<sup>3</sup> or less), the concentration of O (oxygen) is at least less than  $1.5 \times 10^{19}$

以下、好ましくは  $2 \times 10^{17}$  atoms/cm<sup>3</sup> 以下)、O (酸素) の濃度は少なくとも  $1.5 \times 10^{19}$  atoms/cm<sup>3</sup> 未満 (代表的には  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以下、好ましくは  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 以下) となる。

#### 【0105】

なお、純粋に珪素だけからなる半導体膜では珪素の濃度が約  $5 \times 10^{22}$  atoms/cm<sup>3</sup> であるので、例えば  $5 \times 10^{18}$  atoms/cm<sup>3</sup> の不純物元素は約 0.01 atomic% の濃度で存在することに相当する。

#### 【0106】

また、望ましくは最終的な半導体膜中に存在する C (炭素)、N (窒素) 及び O (酸素) の濃度を SIMS 分析における検出下限以下、さらに望ましくは完全に存在しない状態とすることが優れた結晶性を得るためには必要である。

#### 【0107】

本発明者らが SIMS で分析した結果、C、N、O の濃度がいずれも上記濃度範囲を満たす非晶質珪素膜を出発膜として用いた場合、完成した TFT の活性層中に含まれる C、N、O の濃度も上記濃度範囲を満たすことが判明している。

#### 【0108】

ここで、図 8 (A) に、本実施の不揮発性メモリの回路配置図

atoms/cm<sup>3</sup> (typically  $1 \times 10^{18}$  atoms/cm<sup>3</sup> or less, preferably,  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less).

#### 【0105】

In addition, in the semiconductor film which consists only of silicon purely, the concentration of silicon is about  $5 \times 10^{22}$  atoms/cm<sup>3</sup>.

Therefore, for example, a  $5 \times 10^{18}$  atoms/cm<sup>3</sup> impurity element is equivalent to existing by about 0.01 atomic% concentration.

#### 【0106】

moreover, concentration of C (carbon), N (nitrogen) and O (oxygen) which exist in a desirable final semiconductor film is made below into the detection minimum, further desirably into the state where it does not exist completely in SIMS analysis. This is required in order to obtain the crystallinity excellent.

#### 【0107】

The present inventors analyzed by SIMS.

As a result, when the amorphous silicon membrane in which each concentration of C, N, and O satisfies the above concentration range is used as a start membrane, it is made clear that the concentration of C, N and O which are contained in the active layer of perfected TFT also satisfies the above concentration range.

#### 【0108】

Here, the circuit layout of the non-volatile memory of this implementation is shown to figure 8(A).

を示す。図8(B)は、図8(A)におけるA-A'の断面図を示し、図8(C)は、図16(A)の等価回路図を示す。

#### [0109]

図8(A)において、801~808は半導体活性層であり、TFTTr1~Tr8を構成している。809~812は第1の配線層であり、Tr2、Tr4、Tr6、およびTr8のゲイト電極、ゲイト信号線の配線、およびTr1、Tr3、Tr5、Tr7のゲイト信号線の配線として利用している。なお、Tr1、Tr3、Tr5、およびTr7のフローティングゲイト電極813~816は、第1の配線層と同時に形成され、パターンニングされたのちにフローティングの状態となる。817~828は第2の配線層であり、各Trのソース・ドレイン領域に接続される信号線として、またTr1、Tr3、Tr5、およびTr7のコントロールゲイト電極として用いられる。また、図中において、黒く塗りつぶされている部分は、その下部の配線あるいは半導体層とコンタクトをとっていることを示している。なお、図中において同一柄の配線は全て同一の配線層である。

#### [0110]

本発明の不揮発性メモリにおいては、メモリ素子の半導体活性層の膜厚を、スイッチング素子や他の周辺回路を構成する素子の半導体活性層の膜厚よりも薄

Figure 8(B) shows the sectional drawing of A-A' in figure 8(A).

Fig. 8(C) shows the equivalent-circuit figure of figure 16(A).

#### [0109]

Fig. 8 801-808 are semiconductor active layers in (A):

TFTTr1-Tr8 are constituted.

809-812 are first wiring layers.

It utilizes as wiring of the gate electrode of Tr2, Tr4, Tr6, and Tr8, wiring of a gate signal line, and the gate signal line of Tr1, Tr3, Tr5, and Tr7.

In addition, the floating gate electrodes 813-816 of Tr1, Tr3, Tr5, and Tr7 are simultaneously formed with a first wiring layer. It becomes the state of a floating after doing a patterning.

817-828 are 2nd wiring layers.

As a signal line connected to each source \* drain region of Tr, it is used as a control gate electrode of Tr1, Tr3, Tr5, and Tr7.

moreover, the part which is in the drawing(s) alike, sets and is smeared away black shows that it takes wiring or the semiconductor layer and the contact of the lower part.

In addition, in the drawing(s), all wiring of the same patterns are the same wiring layers.

#### [0110]

In the non-volatile memory of this invention, the film thickness of the semiconductor active layer of a memory device is made thinner than the film thickness of the semiconductor active layer of the device which constitutes a switching device and the other periphery circuit.

くしているので、メモリ素子において、インパクトイオン化が起こりやすく、メモリ素子の書込み／消去を低電圧で行うことが出来る。このことは、メモリ素子の書込み／消去回数に対する劣化の減少につながる。これは、従来バルクシリコンで作製されたEEPROMでは、ゲイト絶縁膜が比較的薄い為に、ゲイト絶縁膜の劣化が生じていた事に対する革新的な解決方法である。さらに、従来のバルクシリコンでは、ゲイト絶縁膜が薄いためフローティングゲイト電極に蓄積されていたキャリアが、温度の上昇により流出してしまうということに対する解決方法でもある。

**【0111】 (実施例2)****【0112】**

本実施例では、まず安価な低級グレードの石英基板を用意する。次に、その石英基板をCMP（化学機械研磨）等の手法により理想状態（凹凸部の差の平均値が5nm以内、代表的には3nm以内、好ましくは2nm以内）にまで研磨する。

**【0113】**

この様に、安価な石英基板であっても研磨によって優れた平坦性を有する絶縁性基板として利用することができる。石英基板を用いると非常に下地が緻密となるので下地／半導体薄膜界面の安定度が高い。また、基板からの汚染の影響も殆どないので非常に利用価値が高い。

Therefore impact ionization tends to happen in a memory device. The write/erasure of a memory device can be performed by the low voltage.

This is connected with a reduction of the degradation with respect to the frequency of write/erasure of a memory device.

In EEPROM conventionally produced with bulk silicon, since this has a comparatively thin gate insulating film, it is the reformist solution method with respect to degradation of a gate insulating film having arisen.

Furthermore, with the conventional bulk silicon, since a gate insulating film is thin, the carrier accumulated at the floating gate electrode will flow out by raise of temperature. It is also the solution method with respect to this.

**[0111] (Example 2)****[0112]**

In this Example, the quartz substrate of a first cheap lower grade is prepared.

Next, the quartz substrate is ground into the ideal state (preferably, the mean value of the difference of a corrugated part is less than 2 nm less than 3 nm typically less than 5 nm) by approaches, such as CMP (chemo-mechanical polish).

**[0113]**

Thus, even if it is a cheap quartz substrate, it can utilize as an insulating substrate which has the flatness which was excellent with the sanding.

Since a foundation will become very precise if a quartz substrate is used, the stability of a foundation / semiconductor thin-film boundary surface is high.

Moreover, since there is almost also no influence of a contamination from a substrate,

utilization value is very high.

【0114】 (実施例3)

[0114] (Example 3)

【0115】

実施例1では珪素の結晶化を助長する触媒元素をゲッタリングする工程においてハロゲン元素を用いる例を示した。本願発明では、触媒元素のゲッタリング工程にリン元素を用いることも可能である。その他の工程は、実施例1に従うものとする。

[0115]

Example 1 showed the example using a halogen element in the process which does the gettering of the catalyst element which encourages crystallization of silicon.

In this invention, a phosphorus element can also be used for the gettering process of a catalyst element.

The other process shall follow Example 1.

【0116】

リン元素を用いる場合、活性層となる領域以外の領域にリンを添加し、400～1050℃(好ましくは600～750℃)の温度で、1min～20hr(典型的には30min～3hr)の加熱処理を行えば良い。この加熱処理によりリンを添加した領域に触媒元素がゲッタリングされるので、活性層中の触媒元素の濃度は $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下にまで低減される。

[0116]

When using a phosphorus element, a phosphorus is added to areas other than the area used as an active layer.

What is sufficient is just to perform the heat processing of 1min-20hr (typically 30min- 3 hr) at a temperature of 400-1050 degree C (preferably 600-750 degree C).

The gettering of the catalyst element is done to the region which added the phosphorus by this heat processing.

Therefore concentration of the catalyst element in an active layer is reduced by  $5 \times 10^{17}$  atoms/cm<sup>3</sup> or less.

【0117】

こうしてゲッタリング工程を終えたら、リンを添加した領域以外の領域を利用して活性層を形成する。後は、実施例1の工程に従えば実施例1と同じ特徴を有する半導体装置が得られる。

[0117]

In this way if a gettering process is finished, an active layer will be formed using regions other than the region which added the phosphorus.

Then, if the process of Example 1 is followed, the semiconductor device which has the same description as Example 1 will be obtained.

【0118】

勿論、ゲイト絶縁膜となる熱酸化膜を形成する際にハロゲン元素を含む雰囲気中で加熱処理を行えば、本実施例のリン元素に

[0118]

Of course, if a heat processing is performed in the atmosphere including a halogen element in the case the thermal-oxidation-ized membrane used as a gate insulating film is formed, the synergistic effect of the gettering effect by the

よるゲッタリング効果とハロゲン元素によるゲッタリング効果との相乗効果が得られる。

phosphorus element of this Example and the gettering effect by the halogen element will be obtained.

【0119】 (実施例4)

[0119] (Example 4)

【0120】

本実施例では、逆スタガー型のTFTによってEEPROMを構成する場合について図9～図11を用いて説明する。なお、図9～図11においては、EEPROMを構成する一つのメモリセル（メモリ素子およびスイッチング素子）のみに注目しているが、アドレスデコーダや周辺回路等も同時に形成され得る。実際には、実施例1で説明した図1のように、マトリクス状に配置された複数のメモリセルとアドレスデコーダや周辺回路とによってEEPROMが構成される。

[0120]

This Example demonstrates the case where EEPROM is constituted, by TFT of a reverse stagger type using Fig. 9 - 11.

In addition, in Fig. 9 - 11, only one memory cell (a memory device and switching device) which constitutes EEPROM is observed.

However, an address decoder, a periphery circuit, etc. may be formed simultaneously.

In fact, EEPROM is constituted by several memory cell, and the address decoder and the periphery circuit which have been arranged in the shape of a matrix as shown in Fig. 1 demonstrated in Example 1.

【0121】

図9を参照する。まず、ガラス基板901上に酸化珪素膜でなる下地膜902を設け、その上にゲイト電極903、904を形成する。ゲイト電極903は、後にメモリ素子のコントロールゲイト電極になり、ゲイト電極904は、後にスイッチング素子のゲイト電極となる。本実施例では、ゲイト電極903、904として200nm～400nm厚のクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いてもよい。

[0121]

Figure 9 is referred.

First, the foundation membrane 902 which becomes by the silicon-oxide membrane is provided on a glass substrate 901. The gate electrode 903,904 is formed on it.

The gate electrode 903 turns into the control gate electrode of a memory device behind. The gate electrode 904 turns into the gate electrode of a switching device behind.

In this Example, the chrome membrane of 200 nm - 400 nm thicknesses is used as a gate electrode 903,904.

However, aluminum alloy, tantalum, tungsten, molybdenum, the silicon membrane which provided electroconductivity may be used.

## 【0122】

次に、ゲイト電極903、904上にゲイト絶縁膜905を100～200nmの厚さに形成する。ゲイト絶縁膜905としては、酸化珪素膜、窒化珪素膜、または酸化珪素膜と窒化珪素膜との積層膜を用いる。また、ゲイト電極を陽極酸化して得られる陽極酸化膜をゲイト絶縁膜として利用することもできる。

## 【0123】

また、このメモリ素子側のゲイト絶縁膜は、次の工程で形成するフローティングゲイト電極とコントロールゲイト電極との間の容量を規定するものであり、その膜厚を変えてフローティングゲイト電極に印加される電圧を調整することができる。よって、ゲイト絶縁膜905の厚さは、上記の範囲に限られるわけではなく、また、部分的に膜厚を変えてもよい。

## 【0124】

次に、フローティングゲイト電極906を形成する（図9(B)）。本実施例では、フローティングゲイト電極としてクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いてもよい。

## 【0125】

次に、絶縁膜907を10～50nmの厚さに形成する。絶縁膜907としては、酸化珪素膜、窒化珪素膜、または酸化珪素膜と窒化珪素膜との積層膜を用い

## [0122]

Next, the gate insulating film 905 is formed on the gate electrode 903,904 at the thickness of 100-200 nm.

As a gate insulating film 905, the laminated film of a silicon-oxide membrane, a silicon-nitride membrane or a silicon-oxide membrane, and a silicon-nitride membrane is used.

Moreover, the anodized film obtained by doing the anodic oxidation of the gate electrode can also be utilized as a gate insulating film.

## [0123]

Moreover, the gate insulating film by the side of this memory device specifies the capacity between the floating gate electrodes and the control gate electrodes which are formed by the next process.

The voltage which changes the film thickness and is impressed to a floating gate electrode can be adjusted.

Therefore, the thickness of the gate insulating film 905 is not necessarily restricted to the range above. Moreover, a film thickness may be changed partially.

## [0124]

Next, the floating gate electrode 906 is formed (figure 9(B)).

In this Example, a chrome membrane is used as a floating gate electrode.

However, aluminum alloy, tantalum, tungsten, molybdenum, the silicon membrane which provided electroconductivity may be used.

## [0125]

Next, an insulating film 907 is formed in thickness of 10-50 nm.

As an insulating film 907, the laminated film of a silicon-oxide membrane, a silicon-nitride membrane or a silicon-oxide membrane, and a silicon-nitride membrane is used.

る。

**【0126】**

次に、非晶質珪素膜908、909を実施例1の図3(A)～(D)に示した方法によって形成する(図9(C))。なお、本実施例では、メモリ素子の非晶質珪素膜908の最終的な膜厚を50nm、スイッチング素子の非晶質珪素膜909の最終的な膜厚を75nmとしたが、それぞれ1～50nm(好ましくは10～40nm)、40～100nmの範囲に形成すればよく、本実施例の膜厚に限定されるわけではない。また、図示しないが、アドレスデコーダや周辺回路のTFTの非晶質珪素膜の膜厚は、スイッチング素子と同様の膜厚に作製され得る。

**【0127】**

次に、非晶質珪素膜908、909をレーザー光あるいはレーザー光と同等の強度を持つ強光の照射を行い、非晶質珪素膜の結晶化を行う(図9(D))。レーザー光としては、エキシマレーザー光が好ましい。エキシマレーザーとしては、KrF、ArF、XeClを光源としたパルスレーザーを利用すればよい。

**【0128】**

また、レーザー光と同等の強度を持つ強光としては、ハロゲンランプまたはメタルハライドランプからの強光、赤外光または紫外光ランプからの強光を利用することができる。

**[0126]**

Next, it forms by the method of having shown the amorphous silicon membrane 908,909 to figure 3(A)-(D) of Example 1 (Fig. 9 (C)).

In addition, in this Example, the final film thickness of the amorphous silicon membrane 909 of 50 nm and a switching device was set to 75 nm the final film thickness of the amorphous silicon membrane 908 of a memory device. However, what is sufficient is just to respectively form in the range of 1-50 nm (preferably 10-40 nm) and 40-100 nm. It is not necessarily limited to the film thickness of this Example.

Moreover, the film thickness of the amorphous silicon membrane of TFT of an address decoder or a periphery circuit not shown may be produced with the similar film thickness to a switching device.

**[0127]**

Next, strong irradiation of light which has intensity equivalent to a laser light or a laser light is performed to the amorphous silicon membrane 908 and 909. Crystallization of an amorphous silicon membrane is performed (Fig. 9 (D)).

As a laser light, an excimer laser light is preferable.

What is sufficient is just to utilize the pulse laser which used KrF, ArF, and XeCl as the light source, as an excimer laser.

**[0128]**

Moreover, as a strong light with intensity equivalent to a laser light, the strong light from a halogen lamp or a metal halide lamp, an infrared-light, or the strong light from a ultra-violet-ray lamp can be utilized.



## 【0129】

本実施例では、線状に加工されたエキシマレーザー光を基板の一端から他端へ走査し、非晶質珪素膜の全面を結晶化する。この時、レーザー光のスweep速度は1.2 mm/s、処理温度は室温、パルス周波数は30 Hz、レーザーエネルギーは300~315 mJ/cm<sup>2</sup>とする。この工程によって結晶性珪素膜が得られる。

## 【0130】

なお、本実施例の非晶質珪素膜にも、実施例1あるいは実施例3で用いられた結晶化方法が用いられ得る。

## 【0131】

また、実施例1の非晶質珪素膜にも、本実施例の結晶化方法が用いられ得ることが理解される。

## 【0132】

次に図10を参照する。結晶性珪素膜をパターンニングして、活性層910および911を形成する。

## 【0133】

次に、一導電性を付与する不純物元素の添加を行なう。まず、メモリ素子、N型TFT、およびP型TFTのチャネル領域を形成する活性層をレジストマスクで覆い(図示せず)、P型を付与する不純物元素(本実施例ではボロンを用いる。インジウムなどを用いてもよい)を添加し、ボロンイオン濃度が $1 \times 10^{17}$

## 【0129】

In this Example, a processed excimer laser light is linearly scanned from one end of a substrate to another end.

The whole surface of an amorphous silicon membrane is crystallized.

The sweep velocity of a laser light is set to 1.2 mm/s at this time. Process temperature is set into a room temperature and a pulse frequency is set to 30Hz. A laser energy is made into 300-315 mJ/cm<sup>2</sup>.

A crystalline silicon membrane is obtained according to this process.

## 【0130】

In addition, the crystallization method used also for the amorphous silicon membrane of this Example in Example 1 or Example 3 may be used.

## 【0131】

Moreover, it is understood that the crystallization method of this Example may be used also for the amorphous silicon membrane of Example 1.

## 【0132】

Next Fig. 10 is referred.

The patterning of the crystalline silicon membrane is done. Active layers 910 and 911 are formed.

## 【0133】

Next, the impurity element which provides 1 electroconductivity is added.

First, the active layer which forms the channel region of a memory device, N-type TFT, and P-type TFT is covered with a resist mask (not shown). The impurity element (in this Example, use a boron an indium etc. may be used) which provides a P-type is added.

The p- region (a low concentration impurity region not shown) where the boron ion concentration is  $1 \times 10^{17}$  atoms / cm<sup>3</sup> or more (preferably  $1 \times 10^{18}$  atoms / cm<sup>3</sup> or more) is

atoms/cm<sup>3</sup> 以上 (好ましくは  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以上) である p<sup>-</sup> 領域 (低濃度不純物領域、図示せず) を形成する。

#### 【0134】

次に、レジストマスク 912 および 913 を形成する (図 10 (B))。そして、P 型を付与する不純物元素を、 $1 \times 10^{18} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup> 程度の濃度となるように添加し、P 型 TFT のソース領域 914 およびドレイン領域 915 を形成する。また、活性層のうちレジストマスク 912 で覆われている部分がチャネル領域となる (図 10 (B))。

#### 【0135】

次に、レジストマスク 912 および 913 を除去し、レジストマスク 917 および 918 を形成する。そして、N 型を付与する不純物元素 (本実施例ではリンを用いた。砒素等を用いてもよい。) を添加して、 $1 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup> 程度の低濃度不純物領域 919 および 920 を形成する (図 10 (C))。

#### 【0136】

次に、レジストマスク 917 および 918 を除去し、レジストマスク 921 および 922 を形成する。そして、再び N 型を付与する不純物元素を図 10 (C) の工程よりも高濃度 ( $1 \times 10^{18} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>) に添加して N 型 TFT の

formed.

#### 【0134】

Next, the resist masks 912 and 913 are formed (figure 10(B)).

And, the impurity element which provides a P-type is added so that it may become about  $1 \times 10^{18}$  to  $1 \times 10^{20}$  atoms/cm<sup>3</sup> concentration. The source region 914 and the drain region 915 of P-type TFT are formed.

Moreover, the part covered by the resist mask 912 among active layers serves as a channel region (figure 10(B)).

#### 【0135】

Next, the resist masks 912 and 913 are removed.

The resist masks 917 and 918 are formed.

And, the impurity element (in this Example, used the phosphorus an arsenic etc. may be used) which provides a N-type is added.

The low concentration impurity regions 919 and 920 of about  $1 \times 10^{17}$  to  $5 \times 10^{18}$  atoms/cm<sup>3</sup> are formed (Fig. 10 (C)).

#### 【0136】

Next, the resist masks 917 and 918 are removed.

The resist masks 921 and 922 are formed.

And, the impurity element which provides a N-type again is added to a high concentration ( $1 \times 10^{18}$  to  $1 \times 10^{20}$  atoms/cm<sup>3</sup>) from the process of Fig. 10 (C). The source \* drain regions 923 and 924 of N-type TFT are formed.

In addition, 925 is an impurity region in low

ソース・ドレイン領域 923 および 924 を形成する。なお、925 は低濃度不純物領域、926 はチャネル形成領域である (図 10 (D))。

**[0137]**

次に、レジストマスク 921 および 922 を除去した後、エキシマレーザー光を照射する (レーザーアニール) ことによって、イオン注入時のダメージの回復と添加した不純物の活性化を行う (図 11 (A))。

**[0138]**

レーザーアニールが終了したら、層間絶縁膜 927 を 300 ~ 500 nm に形成する (図 11 (B))。層間絶縁膜 927 は、酸化珪素膜、窒化珪素膜、有機性樹脂、あるいはそれらの積層膜によって構成される。

**[0139]**

次に、層間絶縁膜 927 にコンタクトホールを形成し、金属薄膜で成るソース・ドレイン電極 928、929、および 930 を形成する。この金属薄膜としては、アルミニウム、タンタル、チタン、タングステン、モリブデン、またはそれらの積層膜を用いればよい (図 11 (B))。

**[0140]**

次に、全体に対して水素雰囲気中、350℃で2時間程度の加熱処理を行い、膜中 (特にチャネル形成領域) の不対結合手を水素終端する。以上の工程によって図 11 (B) の状態が得ら

concentration. 926 is a channel formation region (Fig. 10 (D)).

**[0137]**

Next, after removing the resist masks 921 and 922, an excimer laser light is irradiated (laser annealing). The impurity added with recovery of the damage at the time of an ion implantation is activated (figure 11(A)).

**[0138]**

If a laser annealing is completed, the layer-insulation membrane 927 will be formed in 300-500 nm (figure 11(B)).

The layer-insulation membrane 927 is constituted by a silicon-oxide membrane, a silicon-nitride membrane, organic resin, or those laminated film.

**[0139]**

Next, a contact hole is formed in the layer-insulation membrane 927.

The source \* drain electrodes 928, 929 and 930 which change by the metal thin film are formed.

What is sufficient is just to use aluminium, tantalum, titanium, tungsten, molybdenum, or those laminated film as this metal thin film (figure 11(B)).

**[0140]**

Next, it receives entirely and the heat processing of about 2 hours is performed at 350 degree C in hydrogen atmosphere. The hydrogen termination of the azygos bond in a membrane (especially channel formation region) is done.

The state of figure 11(B) is obtained

れる。

according to the above process.

**【0141】** (実施例5)

**[0141]** (Example 5)

**【0142】**

上記実施例1～4の不揮発性メモリは、様々な用途がある。本実施例では、これらの不揮発性メモリを用いた半導体装置について説明する。

**[0142]**

The non-volatile memory of above Examples 1-4 has various applications.

This Example demonstrates the semiconductor device which used these non-volatile memories.

**【0143】**

このような半導体装置には、ビデオカメラ、スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話など)などが挙げられる。それらの一例を図12に示す。

**[0143]**

A video camera, a still camera, a head mount display, a car navigation, a personal computer, portable information terminals (a mobile computer, mobile telephone, etc.), etc. are mentioned to such a semiconductor device.

Those examples are shown in Figure 12.

**【0144】**

図12(A)は携帯電話であり、本体1201、音声出力部1203、音声入力部1203、表示装置1204、操作スイッチ1205、アンテナ1206で構成される。本発明の不揮発性メモリは、表示装置1204と一体形成されてもよい。

**[0144]**

Figure 12(A) is a mobile telephone.

It consists of a main body 1201, the voice output part 1203, the voice input part 1203, a display device 1204, an operation switch 1205, and an antenna 1206.

The integral formation of the unvolatile memory of this invention may be carried out with a display device 1204.

**【0145】**

図12(B)はビデオカメラであり、本体1301、表示装置1302、音声入力部1303、操作スイッチ1304、バッテリー1305、受像部1306で構成される。本発明の不揮発性メモリは、表示装置1302と一体形成されてもよい。

**[0145]**

Figure 12(B) is a video camera.

It consists of a main body 1301, the display device 1302, the voice input part 1303, an operation switch 1304, a battery 1305, and an image-receiver part 1306.

The integral formation of the non-volatile memory of this invention may be carried out with a display device 1302.

**【0146】**

**[0146]**

Figure 12 (C) is a mobile computer.

図12 (C) はモバイルコンピュータであり、本体1401、カメラ部1402、受像部1403、操作スイッチ1404、表示装置1405で構成される。本発明の不揮発性メモリは、表示装置1405と一体形成されてもよい。

## 【0147】

図12 (D) はヘッドマウントディスプレイであり、本体1501、表示装置1502、バンド部1503で構成される。本発明の不揮発性メモリは、表示装置1502と一体形成されてもよい。

## 【0148】 (実施例6)

## 【0149】

本実施例では、上記実施例1～実施例5で説明した作製方法において、ゲイト電極にTa (タンタル) またはTa合金を用いた場合について説明する。

## 【0150】

TaまたはTa合金をゲイト電極に用いると、約450℃から約600℃で熱酸化することができ、 $Ta_2O_3$ 等の膜質の良い酸化膜がゲイト電極上に形成される。この酸化膜は、上記実施例1で説明した、Al (アルミニウム) をゲイト電極として用いたときに形成される酸化膜よりも膜質は良いことがわかっている。

## 【0151】

このことは、絶縁膜の耐圧評価

It consists of a main body 1401, the camera part 1402, an image-receiver part 1403, an operation switch 1404, and a display device 1405.

The integral formation of the non-volatile memory of this invention may be carried out with a display device 1405.

## [0147]

Figure 12 (D) is a head mount display.

It consists of a main body 1501, a display device 1502, and a band part 1503.

The integral formation of the non-volatile memory of this invention may be carried out with a display device 1502.

## [0148] (Example 6)

## [0149]

This Example demonstrates the case where Ta (tantalum) or Ta alloy is used for a gate electrode, in the production method of having demonstrated in above Example 1 - Example 5.

## [0150]

If Ta or Ta alloy is used for a gate electrode, it can thermal-oxidation-ize at about 600 degree C from about 450 degree C. The good oxide film of film quality, such as  $Ta_2O_3$ , is formed on a gate electrode.

It is known that the film quality is better than the oxide film which demonstrated this oxide film in above Example 1 and which is formed when using Al (aluminium) as a gate electrode.

## [0151]

This is found out by the fact that in J-E characteristic (current-density-field-strength

の一つである J-E 特性 (電流密度-電界強度特性) において、Ta または Ta 合金の酸化膜が Al の酸化膜よりも良い特性を有することによってわかった。

**[0152]**

また、 $Ta_2O_3$  は、比誘電率が 11.6 前後であり、フローティングゲートコントロールゲイト間の容量が大きいので、Al をゲイト電極に用いた場合に比較してフローティングゲイトに電荷が注入されやすいという利点もある。

**[0153]**

また、Ta をゲイト電極に用いた場合、上記実施例で行ったように陽極酸化することもできる。

**[0154]**

(CGS に関する知見)

**[0155]**

ここで、上記実施例 1 に記載した作製方法によって作製され半導体薄膜について説明する。上記実施例 1 の作製方法によると、非晶質珪素膜を結晶化させて、連続粒界結晶シリコン (いわゆる Continuous Grain Silicon: CGS) と呼ぶ結晶シリコン膜を得ることができる。

**[0156]**

上記実施例 1 の作製方法によって得られた半導体薄膜の横成長領域は棒状または偏平棒状結晶の集合体からなる特異な結晶構造を示す。以下にその特徴につ

characteristic) which is one of breakdown-voltage evaluation of an insulating film, the oxide film of Ta or Ta alloy has a characteristic better than the oxide film of Al.

**[0152]**

Moreover, the dielectric constant of  $Ta_2O_3$  is before and after 11.6.

Since the capacity between floating gate - control gates is big, there is also an advantage that it is tended to inject a floating gate an electric charge compared with the case where Al is used for a gate electrode.

**[0153]**

Moreover, when Ta is used for a gate electrode, an anodic oxidation can also be done as carried out in the above Example.

**[0154]**

(Realization about CGS)

**[0155]**

Here, it is produced by the production method indicated in above Example 1, and a semiconductor thin film is demonstrated.

According to the production method of above Example 1, an amorphous silicon membrane is crystallized. The crystalline-silicon membrane called continuous grain-boundary crystalline silicon (the so-called Continuous Grain Silicon:CGS) can be obtained.

**[0156]**

That the horizontal growth region of the semiconductor thin film obtained by the production method of above Example 1 is cylindrical or the unique crystal structure which consists of the aggregate of compressed cylindrical crystallization is shown.

いて示す。

The characteristic is shown below.

【0157】

[0157]

【活性層の結晶構造に関する知見】

[The realization about the crystal structure of an active layer]

【0158】

上記実施例1の作製工程に従って形成した横成長領域は、微視的に見れば複数の棒状（または偏平棒状）結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

[0158]

The horizontal growth region formed according to the production process of above Example 1 has the crystal structure where several cylindrical (shape of or deflection flat bar) crystals were mutually located in almost parallel with the regularity to the specific direction seen microscopically.

This can be easily confirmed by the observation by TEM (transmission-electron-microscope method).

【0159】

また、本発明者らは上述した作製方法によって得られた半導体薄膜の結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）を用いて800万倍に拡大し、詳細に観察した（図13（A））。ただし、本明細書中において結晶粒界とは、断りがない限り異なる棒状結晶同士が接した境界に形成される粒界を指すものと定義する。従って、例えば別々の横成長領域がぶつかりあって形成される様なマクロな意味あいでの粒界とは区別して考える。

[0159]

Moreover, the present inventors magnifies the crystal grain boundary of the semiconductor thin film obtained by the production method mentioned the above by 8,000,000 times using HR-TEM (high-resolution transmission-electron-microscope method).

It observed in detail (figure 13(A)).

However, in this description, a crystal grain boundary is defined as the grain boundary formed in the limit where the cylindrical crystals which differ unless otherwise state.

Therefore, it is considered to be different from for example, the grain boundary which is formed by colliding a separate horizontal growth regions in a macro meaning.

【0160】

ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾

[0160]

By the way, HR-TEM above-mentioned (high-resolution transmission-electron-microscope method) is the approach of irradiating an electron beam vertically to a sample and evaluating atomic \* molecular sequence using

性散乱電子の干渉を利用して原子・分子配列を評価する手法である。同手法を用いることで結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。

**【0161】**

本発明者らが得たTEM写真(図13(A))では異なる二つの結晶粒(棒状結晶粒)が結晶粒界で接した状態が明瞭に観察された。また、この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であることが電子線回折により確認されている。

**【0162】**

ところで、前述の様なTEM写真による格子縞観察では{110}面内に{111}面に対応する格子縞が観察された。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的には格子縞間の距離により確認できる。

**【0163】**

この時、本発明者らは上述した実施例1の作製方法によって得られた半導体薄膜のTEM写真を詳細に観察した結果、非常に興味深い知見を得た。写真に見える異なる二つの結晶粒ではど

interference of a transmission electron or an elastic-scattering electron.

The sequence state of a crystal lattice can be observed as lattice stripes by using said approach.

Therefore, the binding state of the atoms in a crystal grain boundary can be assumed by observing a crystal grain boundary.

**[0161]**

With TEM photography (figure 13(A)) which the present inventors got, the state where the different two crystal grain (cylindrical crystal grain) touched by the crystal grain boundary was observed clearly.

Moreover, it is confirmed by the electron diffraction at this time that a two crystal grain is an outline {110} orientation although some shift is contained in the crystallographic axis.

**[0162]**

In the lattice striped observation by the TEM photography above by the way, the lattice stripes corresponded in {110} surfaces in {111} surfaces were observed.

In addition, the lattice stripes corresponded to {111} surfaces have pointed out the lattice stripes to which {111} surfaces appear in a cross section, when a crystal grain is cut along the lattice stripes.

To which surface the lattice stripes corresponds is confirmed by the distance between lattice stripes in simple.

**[0163]**

At this time, the present inventors observed in detail TEM photography of the semiconductor thin film obtained by the production method of Example 1 mentioned the above.

As a result, very interesting findings were obtained.

In the different two crystal grain which is



ちらにも  $\{111\}$  面に対応する格子縞が見えていた。そして、互いの格子縞が明らかに平行に走っているのが観察されたのである。

**[0164]**

さらに、結晶粒界の存在と関係なく、結晶粒界を横切る様にして異なる二つの結晶粒の格子縞が繋がっていた。即ち、結晶粒界を横切る様にして観測される格子縞の殆どが、異なる結晶粒の格子縞であるにも拘らず直線的に連続していることが確認できた。これは任意の結晶粒界で同様であり、全体の90%以上（典型的には95%以上）の格子縞が結晶粒界で連続性を保っている。

**[0165]**

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

**[0166]**

なお、図13(B)に、本発明者らはリファレンスとして従来の多結晶珪素膜（いわゆる高温ポリシリコン膜）についても電子線回折およびHR-TEM観察による解析を行った。その結果、異なる二つの結晶粒におい

visible to photography, the lattice stripes corresponded to  $\{111\}$  surfaces were visible to both.

And, it was observed that mutual lattice stripes are running in parallel clearly.

**[0164]**

Furthermore, the lattice stripes of the two crystal grain which differs regardless of a presence of a crystal\_garin\_boundary as crosses a crystal\_garin\_boundary connected.

That is, most lattice stripes observed as cross a crystal\_garin\_boundary are lattice stripes of a different crystal grain. Nevertheless, it has confirmed that it was continuously linearly.

This is similar at arbitrary crystal\_garin\_boundaries.

90 % or more (typically 95 % or more) entire lattice stripes are maintaining the continuity by the crystal\_garin\_boundary.

**[0165]**

Such crystal structure (accurately structure of a crystal\_garin\_boundary) shows that the two crystal grains which differ in a crystal\_garin\_boundary are joining with extremely sufficient adjustment.

Namely, in a crystal\_garin\_boundary, a crystal lattice is continuously linked.

It is the constitution which seldom makes the trap level resulting from a crystal defect etc.

In other words, it can be said that it is a continuity in a crystal lattice in a crystal\_garin\_boundary.

**[0166]**

In addition, in figure 13(B), the present inventors performed as a reference the analysis by electron-diffraction and HR-TEM observation also about the conventional polycrystalline silicon membrane (the so-called high-temperature polysilicon membrane).

As a result, in the two crystal grain which differs, mutual lattice stripes are completely running to

て互いの格子縞は全くバラバラに走っており、結晶粒界で整合性よく連続する様な接合は殆どなかった。即ち、結晶粒界では格子縞が途切れた部分（矢印で示している部分等）が多く、結晶欠陥が多いことが判明した。このような部分では、未結合手が存在することになり、トラップ準位としてキャリアの移動を阻害する可能性が高い。

**【0167】**

本発明者らは、上述した実施例1の作製方法で得られる半導体薄膜の様に格子縞が整合性良く対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、逆に従来の多結晶珪素膜に多く見られる様に格子縞が整合性良く対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手（又は不對結合手）と呼ぶ。

**【0168】**

本願発明の不揮発性メモリで利用する半導体薄膜は結晶粒界における整合性が極めて優れているため、上述の不整合結合手が極めて少ない。本発明者らが任意の複数の結晶粒界について調べた結果、全体の結合手に対する不整合結合手の存在割合は10%以下（好ましくは5%以下、さらに好ましくは3%以下）であった。即ち、全体の結合手の90%以上（好ましくは95%以上、さらに好ましくは97%以上）が整合結合手によって構成されているのである。

scattered pieces.

There was almost no joining which continues with sufficient adjustment by the crystal\_garin\_boundary.

That is, there are many parts (part shown by the arrow head) which lattice stripes interrupted at a crystal\_garin\_boundary. It became clear that there are many crystal defects.

An uncombined hand will exist in such a part.

Possibility of obstructing a transfer of a carrier as a trap level is high.

**[0167]**

The present inventors calls adjustment binding the binding state of an atom when lattice stripes correspond with sufficient adjustment like the semiconductor thin film obtained by the production method of Example 1 mentioned the above. The bond at that time is called adjustment bond.

Moreover, conversely, as seen on the conventional polycrystalline silicon membrane mostly, the binding state of an atom in case lattice stripes do not correspond with sufficient adjustment is called mismatching binding. The bond at that time is called mismatching bond (or azygos bond).

**[0168]**

Since the semiconductor thin film utilized by the non-volatile memory of this invention is extremely excellent in the adjustment in a crystal\_garin\_boundary, its above-mentioned mismatching bond is extremely few.

The present inventors investigated about several arbitrary crystal\_garin\_boundaries.

As a result, the abundance of the mismatching bond with respect to a bond entire was 10% or less (preferably a 5% or less, more preferably 3% or less).

That is, 90 % or more (preferably 95 % or more, more preferably 97 % or more) of an entire bond is constituted by the adjustment bond.

**【0169】**

また、上述の実施例1の作製方法に従って作製した横成長領域を電子線回折で観察した結果を図14(A)に示す。なお、図14(B)は比較のために観察した従来のポリシリコン膜（高温ポリシリコン膜と呼ばれるもの）の電子線回折パターンである。

**【0170】**

なお、図14(A)および図14(B)は電子線の照射スポットの径を  $1.35\mu\text{m}$  として測定を行っているため、格子縞レベルに比べて十分マクロな領域の情報を拾っていると考えてよい。

**【0171】**

また、図14(C)は単結晶シリコンの  $\{110\}$  面に垂直に電子線を照射した場合の電子線回折パターンの模式図である。通常、このような電子線回折パターンと観測結果とを見比べ、観察試料の配向性が何であるかを推測する。

**【0172】**

図14(A)の場合、図14(C)に示す様な  $\langle 110 \rangle$  入射に対応する回折斑点が比較的きれいに現れており、結晶軸が  $\langle 110 \rangle$  軸である（結晶面が  $\{110\}$  面である）ことが確認できる。

**【0173】**

なお、各斑点は同心円状の広が

**[0169]**

Moreover, the result which observed the horizontal growth region produced according to the production method of above-mentioned Example 1 by the electron diffraction is shown in figure 14(A).

In addition, figure 14(B) is the electron-diffraction pattern of the conventional polysilicon membrane (what is called high-temperature polysilicon membrane) observed for the comparison.

**[0170]**

In addition, figure 14(A) and figure 14(B) are measuring by setting the path of the irradiation spot of an electron beam to 1.35 micrometers. Therefore, it may consider that information on sufficient macro region is gathered compared with a lattice striped level.

**[0171]**

Moreover, Fig. 14 (C) is model of the electron-diffraction pattern at the time of irradiating an electron beam vertically to  $\{110\}$  surfaces of a single crystal silicon.

Usually such an electron-diffraction pattern and an observation are compared, and it assumes what the orientation of an observation sample is.

**[0172]**

In the case of figure 14(A), the diffraction spot corresponded to  $\langle 110 \rangle$  irradiation which is shown in Fig. 14 (C) has appeared comparatively finely. A crystallographic axis is  $\langle 110 \rangle$  axes (a crystal plane is  $\{110\}$  surfaces). This can be confirmed.

**[0173]**

In addition, each spot has the breadth of a concentric circle slightly.

りを僅かにもっているが、これは結晶軸まわりにある程度の回転角度の分布をもつためと予想される。その広がり程度はパターンから見積もっても  $5^{\circ}$  以内である。

#### 【0174】

また、多数観測するうちには回折斑点が部分的に見えない場合があった（図14（A）でも一部分の回折斑点が見えない）。おそらく概略  $\{110\}$  配向であるものの、わずかに結晶軸がずれているために回折パターンが見えなくなっているものと思われる。

#### 【0175】

本発明者らは、結晶面内に殆ど必ず  $\{111\}$  面が含まれるという事実を踏まえ、おそらく  $\langle 111 \rangle$  軸まわりの回転角のずれがその様な現象の原因であろうと推測している。

#### 【0176】

一方、図14（B）に示す電子線回折パターンの場合、回折斑点には明瞭な規則性が見られず、ほぼランダムに配向していることが確認できる。即ち、 $\{110\}$  面以外の面方位の結晶が不規則に混在すると予想される。

#### 【0177】

これらの結果が示す様に、上述の実施例1の作製方法による結晶性珪素膜の特徴は殆ど全ての結晶粒が概略  $\{110\}$  面に配向しており、かつ、結晶粒界に

However, this is estimated because it has a distribution of a certain amount of rotation angle in the circumference of a crystallographic axis.

Even when it estimates the grade of the breadth from a pattern, it is less than 5 degrees.

#### [0174]

Moreover, there was some cases where the diffraction spot was not in sight partially in multiple observations (Even in figure 14(A), a part of diffraction spot is not in sight).

It is an outline  $\{110\}$  orientation probably.

However, since the crystallographic axis is shifted slightly, it is considered that the diffraction pattern has stopped being visible.

#### [0175]

The present inventors is based on the fact that  $\{111\}$  surfaces are included almost always, in a crystal plane, and is assuming that the shift of the angle of rotation of the circumference of  $\langle 111 \rangle$  axes will be the cause of such a phenomenon probably.

#### [0176]

On the other hand, in the case of the electron-diffraction pattern shown in figure 14(B), clear regularity is not looked at by the diffraction spot. It can confirm orientating to a random almost.

That is, the crystal of surface bearings other than  $\{110\}$  surfaces is estimated as being intermingled irregularly.

#### [0177]

As seen by these results, all crystal grains are orientating almost all the descriptions of the crystalline silicon membrane by the production method of above-mentioned Example 1 to an outline  $\{110\}$  surface.

And, it is in having a continuity in a lattice in a

において格子に連続性を有することにある。この特徴は、従来のポリシリコン膜にはないものである。

**【0178】**

以上の様に、上述の実施例1の作製方法で作製された半導体薄膜は従来の半導体薄膜とは全く異なる結晶構造（正確には結晶粒界の構造）を有する半導体薄膜であった。本発明者らは本願発明で利用する半導体薄膜について解析した結果を特願平 9-55633 号、同 9-165216 号、同 9-212428 号でも説明している。

**【0179】**

なお、本発明者らは特開平 7-321339 号公報に記載した手法に従ってX線回折を行い、上述の作製方法の結晶性珪素膜について配向比率を算出した。同公報では下記の数式1に示す様な算出方法で配向比率を定義している。

**【0180】****【数1】**

crystal\_garin\_boundary.

This description is not in the conventional polysilicon membrane.

**[0178]**

As mentioned above, the semiconductor thin film produced by the production method of above-mentioned Example 1 was the semiconductor thin film which has the crystal structure (accurately structure of a crystal\_garin\_boundary) which completely differs from the conventional semiconductor thin film.

The present inventors demonstrated the result which analyzed about the semiconductor thin film utilized by this invention also in Japanese-Patent-Application-No. 9- 55633, said 9- 165216, and said 9- 212428.

**[0179]**

In addition, the present inventors performs X-ray diffraction according to the approach indicated to Unexamined-Japanese-Patent 7-321339 gazette. The orientation ratio was computed about the crystalline silicon membrane of the above-mentioned production method.

The orientation ratio is defined by the calculation method which is shown in the following expression 1 by some said gazette.

**[0180]****[Equation 1]**

{220} 配向存在比=1 (一定)

$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}$$

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}$$

{220} 配向比率=

$$\frac{\{220\} \text{ 配向存在比}}{\{220\} \text{ 配向存在比} + \{111\} \text{ 配向存在比} + \{311\} \text{ 配向存在比}}$$

[Equation 1]

{220} orientation abundance-ratio = 1 (fixed)

{111} orientation abundance-ratio = Relative on-the-strength of {111} of a sample with respect to {220}/ Relative intensity of powder {111} with respect to {220}

{311} orientation abundance-ratio = Relative on-the-strength {311} of a sample and with respect to {220}/ Relative intensity of powder {311} with respect to {220}

{220} orientation ratio = {220} orientation abundance-ratio/ {220} orientation abundance-ratio + {111} orientation abundance-ratio + {311} orientation abundance ratio

### 【0181】

ここで上述の半導体薄膜の配向性をX線回折で測定した結果の一例を図17に示す。なお、X線回折パターンには(220)面に相当するピークが現れているが、{110}面と等価であることは言うまでもない。この測定の結果、{110}面が主たる配向であり、配向比率は0.7以上(典型的には0.9以上)であることが判明した。

### [0181]

An example of the result which measured the orientation of an above-mentioned semiconductor thin film by X-ray diffraction here is shown in Fig. 17.

In addition, the peak equivalent to a surface (220) has appeared to the X-ray-diffraction pattern.

However, it is needless to say that it is equivalent to {110} surfaces.

{110} surfaces are the main orientations as a result of this measurement.

That it is 0.7 (0.9 (typically or more)) or more made the orientation ratio clear.

## 【0182】

以上に示してきた通り、上述の実施例1の作製方法による結晶性珪素膜と従来のポリシリコン膜とは全く異なる結晶構造（結晶構成）を有していることが判る。この点からも本願発明の結晶性珪素膜は全く新しい半導体膜であると言える。

## 【0183】

なお、上述の実施例1の半導体薄膜を形成するにあたって結晶化温度以上の温度でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。その事について説明する。

## 【0184】

図15(A)は上述の実施例1の作製方法において、結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内（黒い部分と白い部分はコントラストの差に起因して現れる）に矢印で示される様なジグザグ状に見える欠陥が確認される。

## 【0185】

この様な欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図15(A)は{111}面に平行な欠陥面を有する積層欠陥と思われる。その事は、ジグザグ状に見える欠陥が約70°の角をなして折れ曲がっていることから推測できる。

## [0182]

As shown above, it turns out that the crystalline silicon membrane by the production method of above-mentioned Example 1 and the conventional polysilicon membrane have completely different crystal structures (crystal constitution).

Also from this point, the crystalline silicon membrane of this invention is said to be a completely new semiconductor film.

## [0183]

In addition, when forming the semiconductor thin film of above-mentioned Example 1, the annealing process in the temperature more than the crystallization temperature has achieved the particularly important role about the defect reduction in a crystal grain.

The thing is demonstrated.

## [0184]

Figure 15(A) is TEM photography which magnified the crystalline-silicon membrane in the point in time which completed even the crystallization process, by 250,000 times, in the production method of above-mentioned Example 1.

In a crystal grain (The black part and white part appear based on the difference of a contrast), the defect which is visible in the shape of zigzag shown by the arrow head is observed.

## [0185]

Such a defect is a stacking fault which the pile order of the atom of a silicon crystal-lattice surface mainly contradicts.

However, there are also cases, such as rearrangement.

Figure 15(A) is considered to be the stacking fault which has a defect surface parallel to {111} surfaces.

This is assumed from the fact that the defect which is visible in the shape of a zigzag is bent with an angle of about 70 degrees.

## 【0186】

一方、図15(B)に示す様に、同倍率で見た上述の実施例1の作製方法による結晶シリコン膜は、結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することができる。

## 【0187】

即ち、図15(B)に示す結晶シリコン膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

## 【0188】

この様に、図15(A)と図15(B)の写真に示した結晶シリコン膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。上述の実施例1の作製方法による結晶シリコン膜が、図15(A)に示した結晶シリコン膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが多い。

## 【0189】

こうして得られた上述の実施例1の作製方法による結晶シリコン膜(図15(B))は、単に結

## [0186]

On the other hand, as shown in figure 15(B), as for the crystalline-silicon membrane by the production method of above-mentioned Example 1 seen for said multiplying factor, a stacking fault and the defect resulting from rearrangement etc. are hardly observed in a crystal grain. It can confirm that a crystallinity is very high.

This inclination is able to be said about the whole film surface.

In the present it is difficult to make the number of defects into zero.

However, it can reduce even to the grade it can be considered substantially that is zero.

## [0187]

That is, the crystalline-silicon membrane shown in figure 15(B) is reduced to the grade which the defect in a crystal grain can almost disregard. And, a crystal grain boundary cannot become the obstruction of a carrier transfer by the high continuity. It can regard as a single crystal or a substantially single crystal.

## [0188]

Thus, as for the crystalline-silicon membrane shown in the photography of figure 15(A) and figure 15(B), the crystal grain boundary has the almost equivalent continuity.

However, there is a big difference in the number of defects in a crystal grain.

The crystalline-silicon membrane by the production method of above-mentioned Example 1 shows an electrical property much higher than the crystalline-silicon membrane shown in figure 15(A). The reason is remarkably based on the difference of this number of defects.

## [0189]

The crystalline-silicon membrane by the production method thus obtained above-mentioned Example 1 (figure 15(B)) has the description that the number of defects in a



晶化を行っただけの結晶シリコン膜 (図 15 (A)) に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

#### 【0190】

この欠陥数の差は電子スピン共鳴分析 (Electron Spin Resonance : ESR) によってスピン密度の差となって現れる。現状では上述した実施例 1 の作製方法による結晶シリコン膜のスピン密度は少なくとも  $5 \times 10^{17}$  spins/cm<sup>3</sup> 以下 (好ましくは  $3 \times 10^{17}$  spins/cm<sup>3</sup> 以下) であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

#### 【0191】

以上の様な結晶構造および特徴を有する結晶シリコン膜を、本出願人は連続粒界結晶シリコン (Continuous Grain Silicon : CGS) と呼んでいる。

#### 【0192】

従来の半導体薄膜では結晶粒界がキャリアの移動を妨げる障壁として機能していたのだが、上述した実施例 1 の作製方法による半導体薄膜ではその様な結晶粒界が実質的に存在しないので高いキャリア移動度が実現される。そのため、上述した実施例 1 の作製方法による半導体薄膜を用いて作製した TFT の電気特性は非常に優れた値を示す。この事については以下に示す。

crystal grain is markedly smaller compared with the crystalline-silicon membrane (figure 15(A)) which only performed crystallization.

#### [0190]

By electron-spin-resonance analysis (Electron Spin Resonance:ESR), the difference of this number of defects turns into the difference of a spin density, and appears.

In the present, it is made clear that the spin density of the crystalline-silicon membrane by the production method of Example 1 mentioned the above is at least  $5 \times 10^{17}$  spins/cm<sup>3</sup> or less (preferably  $3 \times 10^{17}$  spins/cm<sup>3</sup> or less).

However, since this measured value is close to the detection limit of an existing measuring device, an actual spin density is estimated to be still low.

#### [0191]

This applicant are calling the crystalline-silicon membrane which has above crystal structure and the descriptions continuous grain-boundary crystalline silicon (Continuous Grain Silicon:CGS).

#### [0192]

In the conventional semiconductor thin film, the crystal grain boundary considered as the obstruction which bars a transfer of a carrier, and was functioning. However, in the semiconductor thin film by the production method of Example 1 mentioned the above, such a crystal grain boundary does not exist substantially. High carrier mobility is realized.

Therefore, the electrical property of TFT produced using the semiconductor thin film by the production method of Example 1 mentioned the above shows the value which was very excellent.

This thing is shown below.

【0193】

[0193]

【TFTの電気特性に関する知見】

[The realization about the electrical property of TFT]

【0194】

[0194]

上述した実施例1の作製方法による半導体薄膜は実質的に単結晶と見なせる（実質的に結晶粒界が存在しない）ため、それを活性層とするTFTは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本発明者らが試作したTFTからは次に示す様なデータが得られている。

The semiconductor thin film by the production method of Example 1 mentioned the above can regard as a single crystal substantially (a crystal grain boundary does not exist substantially). Therefore, TFT which makes it an active layer shows the electrical property which is equal to MOSFET using the single crystal silicon.

The data which are shown below are obtained from TFT which the present inventors made as an experiment.

【0195】

[0195]

(1) TFTのスイッチング性能（オン／オフ動作の切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60～100mV/decade（代表的には60～85mV/decade）と小さい。

(1)

Sub- threshold coefficient used as the index of the switching performance (alacrity property of the switch of ON/OFF action) of TFT, is 60-100mV / decade (typically 60-85mV / decade) as low as the N channel type TFT and the P channel type TFT

(2) TFTの動作速度の指標となる電界効果移動度（ $\mu_{FE}$ ）が、Nチャネル型TFTで200～650cm<sup>2</sup>/Vs（代表的には250～300cm<sup>2</sup>/Vs）、Pチャネル型TFTで100～300cm<sup>2</sup>/Vs（代表的には150～200cm<sup>2</sup>/Vs）と大きい。

(2)

The field-effect mobility (micro- FE) used as the index of the operating speed of TFT is 200-650 cm-squared/Vs (typically 250-300 cm-squared/Vs) in the N channel type TFT. It is as big as 100-300 cm-squared/Vs (typically 150-200 cm-squared/Vs) in the P channel type TFT.

(3) TFTの駆動電圧の指標となるしきい値電圧（ $V_{th}$ ）が、Nチャネル型TFTで-0.5～1.5V、Pチャネル型TFTで-1.5～0.5Vと小さい。

(3)

The threshold voltage ( $V_{th}$ ) used as the index of the driving voltage of TFT is -0.5-1.5V in the N channel type TFT. It is as small as -1.5-0.5V in the P channel type TFT.

**【0196】**

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

**【0197】**

なお、CGSを形成するにあたって前述した結晶化温度以上の温度（700～1100℃）でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。そのことについて以下に説明する。

**【0198】**

以上のことから、CGSを作製するにあたって、触媒元素のゲッタリングプロセスは必要不可欠な工程であることが判る。本発明者らは、この工程によって起こる現象について次のようなモデルを考えている。

**【0199】**

まず、図15(A)に示す状態では結晶粒内の欠陥（主として積層欠陥）には触媒元素（代表的にはニッケル）が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

**【0200】**

しかしながら、触媒元素のゲッタリングプロセスを行うことで欠陥に存在するNiが除去されるとSi-Ni結合は切れる。そのため、シリコンの余った結合手は、すぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

**[0196]**

As mentioned above, it is confirmed that the switching characteristic and the high-speed operating characteristic which were extremely excellent can be realized.

**[0197]**

In addition, the annealing process in the temperature (700-1100 degree C) more than the crystallization temperature mentioned above in forming CGS particularly achieves the important role about the defect reduction in a crystal grain.

The thing is demonstrated below.

**[0198]**

The above thing shows that the gettering process of a catalyst element is an indispensable process in producing CGS.

The present inventors has considered the following models about the phenomenon which happens according to this process.

**[0199]**

First, in the state which shows in figure 15(A), the catalyst element (typically nickel) is segregated in the defect in a crystal grain (mainly stacking fault).

That is, it is considered that many bonds of Si-Ni-Si exist.

**[0200]**

However, Ni which exists in a defect is removed by performing the gettering process of a catalyst element. A Si-Ni bond is cut.

Therefore, the bond in which silicon remained forms a Si-Si bond immediately, and is stabilized.

A defect thus disappears.

## 【0201】

勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、ニッケルとの結合が切れて、未結合手が多く発生するためのシリコンの再結合がスムーズに行われると推測できる。

## 【0202】

また、本発明者らは結晶化温度以上の温度（700～1100℃）で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルも考えている。

## 【0203】

## 【TFT特性とCGSの関係に関する知見】

上述の様な優れたTFT特性は、TFTの活性層として、結晶粒界において結晶格子に連続性を有する半導体薄膜を利用している点によるところが大きい。その理由について以下に考察する。

## 【0204】

結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、  
「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka

## [0201]

Of course, it is known that the defect in a crystalline-silicon membrane will disappear by heat annealing at high temperature.

However, a bond with nickel is cut. It is assumed that since an uncombined hand generates mostly, recombination of silicon is performed smoothly.

## [0202]

Moreover, present inventors are thought that between a crystalline-silicon membrane and its background is fixed by performing a heat processing at the temperature (700-1100 degree C) more than the crystallization temperature.

The model that a defect disappears by adhesion increasing is also considered.

## [0203]

## [The realization about TFT characteristic and the relationship of CGS]

The above outstanding TFT characteristics have the big place based on the point of utilizing the semiconductor thin film which has a continuity in a crystal lattice in a crystal grain boundary as an active layer of TFT.

The reason is devised below.

## [0204]

The crystal grain boundary does that it is based of the continuity of the crystal lattice in a crystal grain boundary to it being the grain boundary called "planar-shape grain boundary". A definition of the planar-shape grain boundary in this description is "Planar boundary" indicated in "Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988".

Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

#### 【0205】

上記論文によれば、平面状粒界には  $\{111\}$  双晶粒界、 $\{111\}$  積層欠陥、 $\{221\}$  双晶粒界、 $\{221\}$  twist 粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

#### 【0206】

特に  $\{111\}$  双晶粒界は  $\Sigma 3$  の対応粒界、 $\{221\}$  双晶粒界は  $\Sigma 9$  の対応粒界とも呼ばれる。 $\Sigma$  値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$  値が小さいほど整合性の良い粒界であることが知られている。

#### 【0207】

本発明者らが上述の実施例1の作製方法による半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が  $\Sigma 3$  の対応粒界、即ち  $\{111\}$  双晶粒界であることが判明した。

#### 【0208】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が  $\{110\}$  である場

#### [0205]

according to an above paper,  $\{111\}$  twin-crystal grain boundary,  $\{111\}$  stacking fault,  $\{221\}$  twin-crystal grain boundary,  $\{221\}$  twist grain boundary, etc. are contained in a planar-shape grain boundary.

This planar-shape grain boundary has the description of being electrically inactive.

That is, though it is a crystal grain boundary, it does not function as the trap which obstructs a transfer of a carrier. Therefore, it can be considered that it does not exist substantially.

#### [0206]

Particularly  $\{111\}$  twin-crystal grain boundary is called 3 (SIGMA) coincidence boundary.  $\{221\}$  twin-crystal grain boundary is called 9 (SIGMA) coincidence boundary.

(SIGMA) value is a parameter used as the guide in which the grade of the adjustment of a coincidence boundary is shown.

It is known that it is the grain boundary of good adjustment when (SIGMA) value is small.

#### [0207]

The present inventors observed in detail the semiconductor thin film by the production method of above-mentioned Example 1 by TEM.

As a result, it became clear that it is almost (90 % or more, typically 95 % or more) of a crystal grain boundary is the coincidence boundary of (SIGMA)3 namely,  $\{111\}$  twin-crystal grain boundary.

#### [0208]

In the crystal grain boundary formed between two crystal grains, if the angle which is made by the lattice stripes corresponded to  $\{111\}$  surfaces is set to (theta) when the surface

合、 $\{111\}$ 面に対応する格子縞がなす角を $\theta$ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

#### 【0209】

従って、図13(A)のTEM写真に示された結晶粒界では、隣接する結晶粒の各格子縞が約 $70^\circ$ の角度で連続しており、この結晶粒界は $\{111\}$ 双晶粒界であると容易に推察することができる。

#### 【0210】

なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、このような他の結晶粒界も存在した。

#### 【0211】

このような対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、上述の実施例1の作製方法による半導体薄膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこのような対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のポリシリコン膜ではあり得ることではない。

#### 【0212】

ここで、上述の実施例1の作製方法による半導体薄膜を1万5千倍に拡大したTEM写真（暗視野像）を図16(A)に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

bearing of both of crystals is  $\{110\}$ , it is known to become the coincidence boundary of  $\Sigma 3$  (SIGMA) at the time of  $(\theta) = 70.5$  degrees.

#### [0209]

Therefore, in the crystal grain boundary shown in TEM photography of figure 13(A), each lattice stripes of a adjacent crystal grain are continuously at an angle of about 70 degrees.

This crystal grain boundary can be easily guessed, if it is  $\{111\}$  twin-crystal grain boundary.

#### [0210]

In addition, at the time of  $(\theta) = 38.9$  degrees, it becomes the coincidence boundary of (SIGMA)9.

However, such another crystal grain boundary also existed.

#### [0211]

Such a coincidence boundary is formed only between the crystal grains of the same surface bearing.

Namely, as for the semiconductor thin film by the production method of above-mentioned Example 1, the surface bearing is arranged roughly in  $\{110\}$ . Therefore, such a coincidence boundary can be formed over a wide range.

This description is not a surface bearing's being the irregular other polysilicon membrane, and obtaining.

#### [0212]

Here, TEM photography (dark field image) which magnified the semiconductor thin film by the production method of above-mentioned Example 1 by 15,000 times is shown in figure 16(A).

The region which looks white, and the region which looks black exist.

However, the part which is visible to an isochromaticity shows that an orientation is the same.

## 【0213】

図16(A)で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方向性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味している。

## 【0214】

他方、従来の高温ポリシリコン膜を1万5千倍に拡大したTEM写真(暗視野像)を図16(B)に示す。従来の高温ポリシリコン膜では同一面方位の部分ばかりに点在するのみであり、図16(A)に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

## 【0215】

また、本発明者らは、図13に示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFTを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が保たれていることを確認している。

## 【0216】

また、上述の実施例3の製造方法において、ニッケルのゲッタリング処理をリンを用いて行った場合の半導体薄膜を明視野で観察した場合のTEM写真を図18に示す。また、図18中に

## [0213]

The thing to be mentioned especially in figure 16(A) is that the region which looks white in a wide range dark field image only as for this is continuously collected at a remarkable proportion.

This means the same crystal grain of an orientation exists with a certain amount of polarity. The adjacent crystal grains have the almost same orientation.

## [0214]

On the other side, TEM photography (dark field image) which magnified the conventional high-temperature polysilicon membrane by 15,000 times is shown in figure 16(B).

By the conventional high-temperature polysilicon membrane, it is only scatteringly dotted with the part of the same surface bearing.

The settlement with the polarity which is shown in figure 16(A) cannot be confirmed.

This is considered because the orientation of adjacent crystal grains is completely irregular.

## [0215]

Moreover, the present inventors repeats an observation and a measurement over many region besides the measuring point shown in Fig. 13.

In sufficient wide region to produce TFT, it is confirming that the continuity of the crystal lattice in a crystal grain boundary is maintained.

## [0216]

Moreover, in the manufacturing method of above-mentioned Example 3, TEM photography at the time of observing the semiconductor thin film at the time of performing a gettering process of nickel using a phosphorus by the bright field is shown in Fig. 18.

Moreover, in the figure 18, the photography

において Point 1 を 30 万倍に拡大した写真を図 19 (A) に、200 万倍に拡大した写真を図 19 (B) に示す。なお、図 19 (A) 内において四角で囲まれた領域が図 19 (B) に相当する。また、Point 1 における電子線回折パターン (スポット径  $1.7 \mu m \phi$ ) を図 19 (C) に示す。

## 【0217】

さらに、Point 1 と全く同条件で Point 2 と Point 3 を観察した。Point 2 の観察結果を図 20 (A)、図 20 (B)、図 20 (C) に、Point 3 の観察結果を図 21 (A)、図 21 (B)、図 21 (C) に示す。

## 【0218】

これらの観察結果から、任意の結晶粒界において結晶格子に連続性が保たれており、平面状粒界が形成されていることが判る。なお、本発明者らはここに示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFT を作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が確保されていることを確認している。

## 【0219】

## 【発明の効果】

## 【0220】

本発明によると、不揮発性メモ

which set in and magnified Point 1 by 300,000 times is shown in figure 19(A). The photography magnified by 2,000,000 times is shown in figure 19(B).

In addition, the region which is surrounded by a square in figure 19(A) is equivalent to figure 19(B).

Moreover, the electron-diffraction pattern (1.7 micrometers ( $\phi$ ) of the diameters of a spot) in Point 1 is shown in Fig. 19 (C).

## [0217]

Furthermore, Point2 and Point3 were completely observed on said conditions with Point 1.

The observation result of Point 2 is shown in figure 20(A), figure 20(B), and Fig. 20 (C). The observation result of Point 3 is shown in figure 21(A), figure 21(B), and Fig. 21 (C).

## [0218]

From these observation results, the continuity is maintained at the crystal lattice in arbitrary crystal grain boundaries.

It turns out that a planar-shape grain boundary is formed.

In addition, the present inventors repeats an observation and a measurement over many region besides the measuring point shown here.

In sufficient wide region to produce TFT, it is confirmed that the continuity of the crystal lattice in a crystal grain boundary is ensured.

## [0219]

## [EFFECT OF THE INVENTION]

## [0220]

According to this invention, the integral formation of the non-volatile memory is done on



リが、その駆動回路などの周辺回路と同一基板上に一体形成され、小型化を図ることができる。

**【0221】**

また、本発明によると、不揮発性メモリの半導体活性層の膜厚が比較的薄いので、インパクトイオナイゼーションの発生が起こりやすく、低電圧駆動でかつ劣化の少ない不揮発性メモリが実現される。

**【0222】**

さらに、本発明の不揮発性メモリは、半導体装置の部品と一体形成され得るので、半導体装置の小型化を図ることができる。

**【図面の簡単な説明】****【図1】**

本発明の不揮発性メモリの回路図である。

**【図2】**

本発明の不揮発性メモリを構成するメモリ素子およびスイッチング素子の断面図である。

**【図3】**

本発明の不揮発性メモリの作製工程を示す図である。

**【図4】**

本発明の不揮発性メモリの作製工程を示す図である。

**【図5】**

本発明の不揮発性メモリの作製工程を示す図である。

the same substrate as periphery circuits, such as the driving circuit. A size-reduction can be attained.

**[0221]**

Moreover, according to this invention, since the film thickness of the semiconductor active layer of a non-volatile memory is comparatively thin, generation of impact ionization tends to happen. The non-volatile memory with few degradation which is a low-voltage drive is realized.

**[0222]**

Furthermore, the integral formation of the non-volatile memory of this invention may be done with the component of a semiconductor device.

Therefore a size-reduction of a semiconductor device can be attained.

**[BRIEF EXPLANATION OF DRAWINGS]****[FIGURE 1]**

It is the circuit diagram of the non-volatile memory of this invention.

**[FIGURE 2]**

It is the sectional drawing of the memory device which constitutes the non-volatile memory of this invention, and a switching device.

**[FIGURE 3]**

It is the figure showing the production process of the non-volatile memory of this invention.

**[FIGURE 4]**

It is the figure showing the production process of the non-volatile memory of this invention.

**[FIGURE 5]**

It is the figure showing the production process of the non-volatile memory of this invention.

**【図 6】**

本発明の不揮発性メモリの作製工程を示す図である。

**[FIGURE 6]**

It is the figure showing the production process of the non-volatile memory of this invention.

**【図 7】**

本発明の不揮発性メモリの作製工程を示す図である。

**[FIGURE 7]**

It is the figure showing the production process of the non-volatile memory of this invention.

**【図 8】**

本発明の不揮発性メモリを構成するメモリ素子およびスイッチング素子の上面図、断面図、および回路図である。

**[FIGURE 8]**

They are the top elevation view of the memory device which constitutes the non-volatile memory of this invention, and a switching device, its sectional drawing, and its circuit diagram.

**【図 9】**

本発明の不揮発性メモリの作製工程を示す図である。

**[FIGURE 9]**

It is the figure showing the production process of the non-volatile memory of this invention.

**【図 10】**

本発明の不揮発性メモリの作製工程を示す図である。

**[FIGURE 10]**

It is the figure showing the production process of the non-volatile memory of this invention.

**【図 11】**

本発明の不揮発性メモリの作製工程を示す図である。

**[FIGURE 11]**

It is the figure showing the production process of the non-volatile memory of this invention.

**【図 12】**

本発明の不揮発性メモリを用いた半導体装置の例を示した図である。

**[FIGURE 12]**

It is the figure having shown the example of the semiconductor device using the non-volatile memory of this invention.

**【図 13】**

半導体薄膜の結晶粒を示す TEM 写真図である。

**[FIGURE 13]**

It is TEM photography figure showing the crystal grain of a semiconductor thin film.

**【図 14】**

半導体薄膜の電子回折パターンを示す写真図である。

**[FIGURE 14]**

It is the photography figure showing the electron-diffraction pattern of a semiconductor thin film.

**【図 15】**

半導体薄膜の結晶粒を示す TEM 写真図である。

**[FIGURE 15]**

It is TEM photography figure showing the crystal grain of a semiconductor thin film.

**【図 16】**

半導体薄膜の暗視野像を示すTEM写真図である。

**[FIGURE 16]**

It is TEM photography figure showing the dark field image of a semiconductor thin film.

**【図 17】**

半導体薄膜のX線回折の結果を示すグラフである。

**[FIGURE 17]**

It is the diagrammatic chart in which the result of the X-ray diffraction of a semiconductor thin film is shown.

**【図 18】**

半導体薄膜の暗視野像を示すTEM写真図である。

**[FIGURE 18]**

It is TEM photography figure showing the dark field image of a semiconductor thin film.

**【図 19】**

半導体薄膜の結晶粒界を示すTEM写真図および電子回折パターン図である。

**[FIGURE 19]**

It is TEM photography figure and the electron-diffraction pattern figure showing the crystal grain boundary of a semiconductor thin film.

**【図 20】**

半導体薄膜の結晶粒界を示すTEM写真図および電子回折パターン図である。

**[FIGURE 20]**

It is TEM photography figure and the electron-diffraction pattern figure showing the crystal grain boundary of a semiconductor thin film.

**【図 21】**

半導体薄膜の結晶粒界を示すTEM写真図および電子回折パターン図である。

**[FIGURE 21]**

It is TEM photography figure and the electron-diffraction pattern figure showing the crystal grain boundary of a semiconductor thin film.

**【符号の説明】**

101 Xアドレスデコーダ  
102 Yアドレスデコーダ  
201 基板  
202 半導体活性層  
203、204 ソース・ドレイン領域  
205 チャネル形成領域  
206 半導体活性層  
207、208 ソース・ドレイン領域  
209 低濃度不純物領域  
210 チャネル形成領域

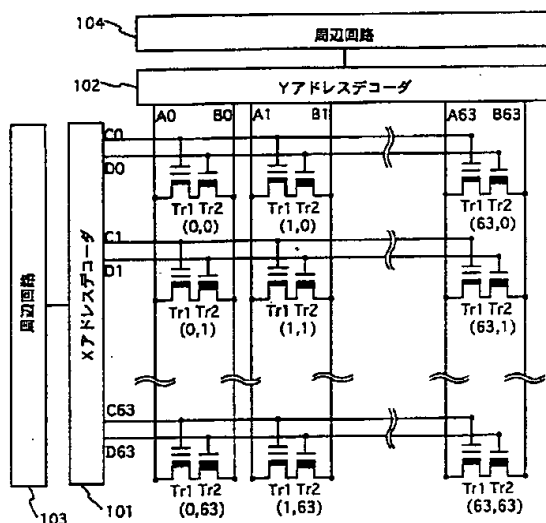
**[EXPLANATION OF DRAWING]**

101 X address decoder  
102 Y address decoder  
201 Substrate  
202 Semiconductor active layer  
203,204 Source \* drain area  
205 Channel formation area  
206 Semiconductor active layer  
207,208 Source \* drain area  
209 low concentration impurity area  
210 Channel formation region  
211,212 Gate insulating film  
213 Floating gate electrode  
214 Anodized film

211、212	ゲイト絶縁膜	215	Control gate electrode	216,219, 220
213	フローティングゲイト電極		Source * drain electrode	
214	陽極酸化膜	217	Gate electrode	
215	コントロールゲイト電極	218	Anodized film	
		221	Layer-insulation membrane	
216、219、220	ソース・ドレイン電極			
217	ゲイト電極			
218	陽極酸化膜			
221	層間絶縁膜			

【図1】

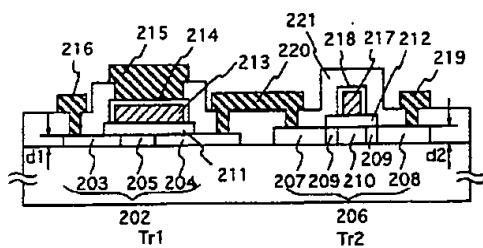
[FIGURE 1]



- 103 Periphery circuit  
 101 X address decoder  
 104 Periphery circuit  
 102 Y address decoder

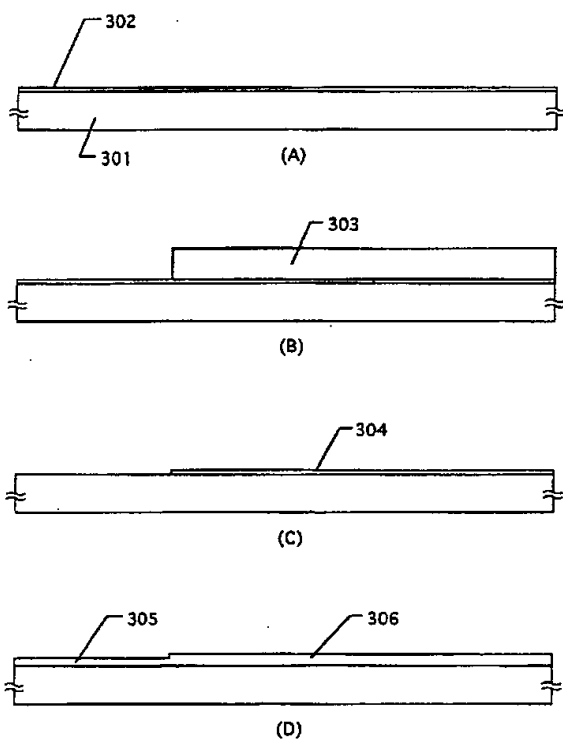
【図2】

[FIGURE 2]



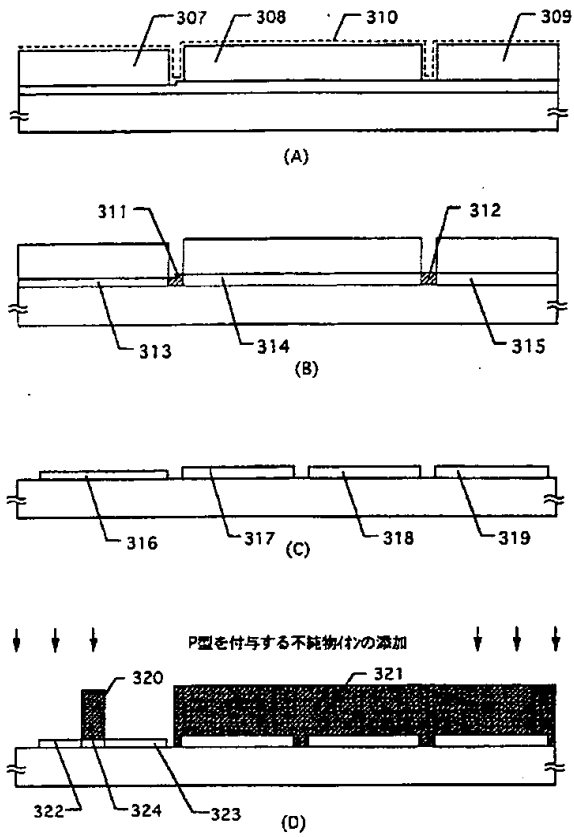
【図 3】

[FIGURE 3]



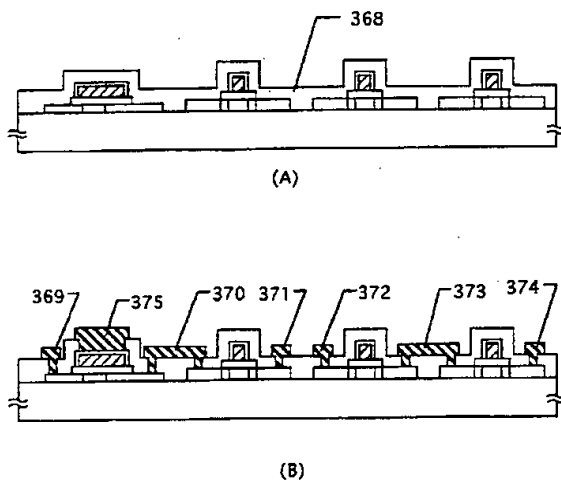
【図 4】

[FIGURE 4]



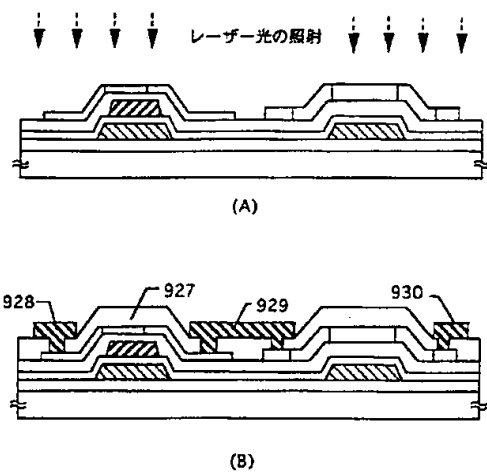
【図 7】

[FIGURE 7]



【図 11】

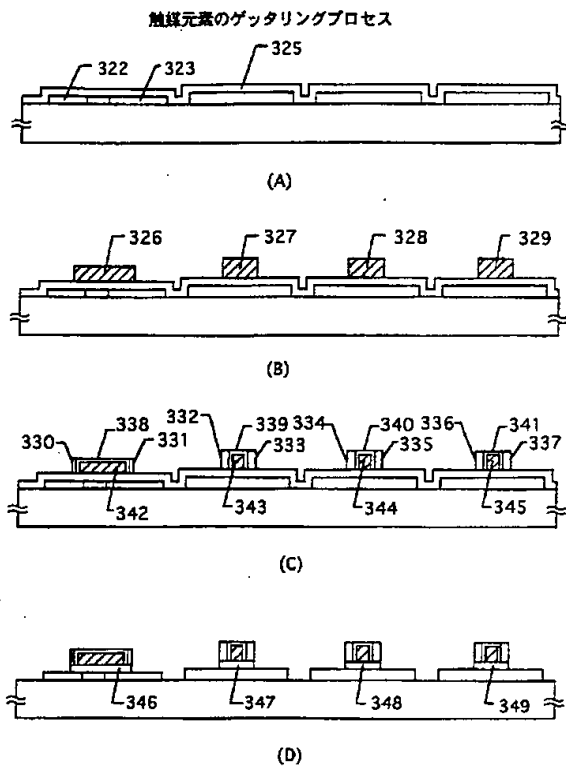
[FIGURE 11]



Laser irradiation

【図 5】

[FIGURE 5]

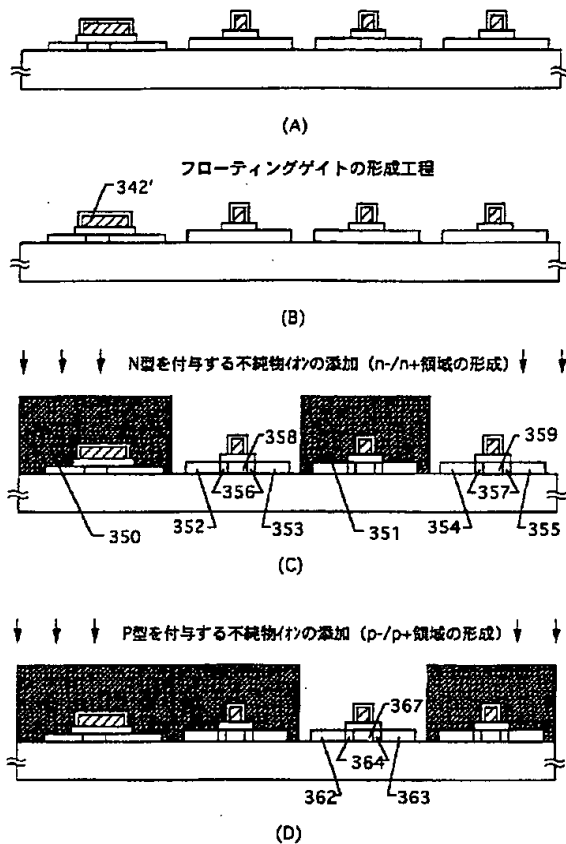


The gettering process of a catalyst element

【図 6】

[FIGURE 6]





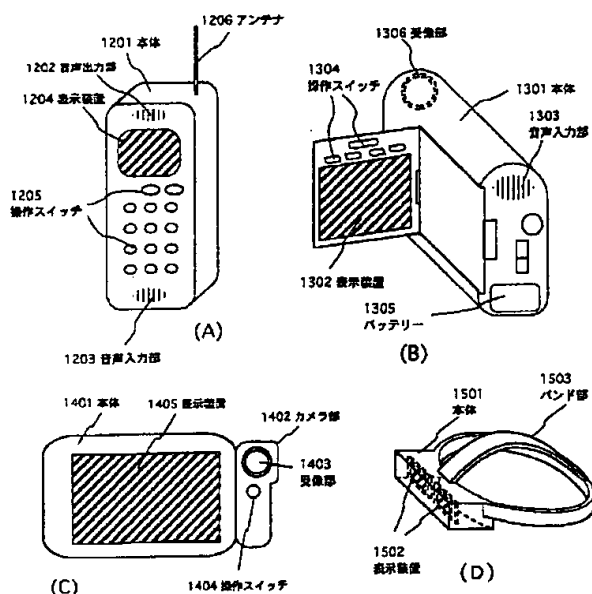
(B) The formation process of a floating gate

(C) An addition of the impurity ion which provides a N-type (formation of n- / n+ area)

(D) An addition of the impurity ion which provides a P-type (formation of p- / p+ area)

【図 12】

[FIGURE 12]



(A)

- 1201 Main body
- 1202 voice output part
- 1203 voice input part
- 1204 Display device
- 1205 Operation switch
- 1206 Antenna

(B)

- 1301 Main body
- 1302 Display device
- 1303 voice input part
- 1304 Operation switch
- 1305 Battery
- 1306 Image-receiver part

(C)

- 1401 Main body
- 1402 Camera part
- 1403 Image-receiver part
- 1404 Operation switch
- 1405 Display device

(D)

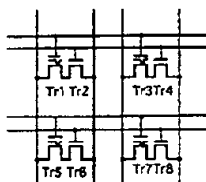
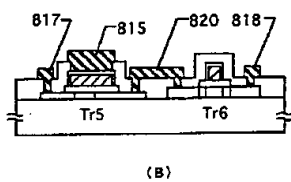
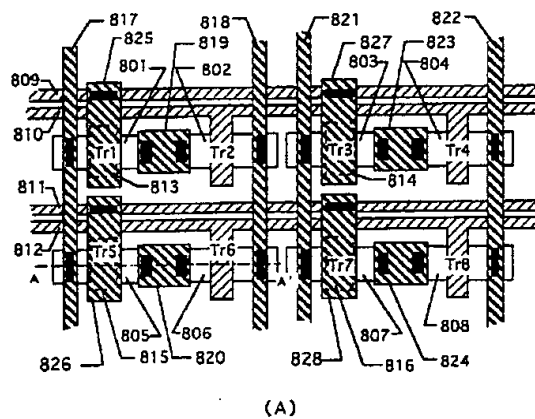
- 1501 Main body

1502 Display device

1503 Band part

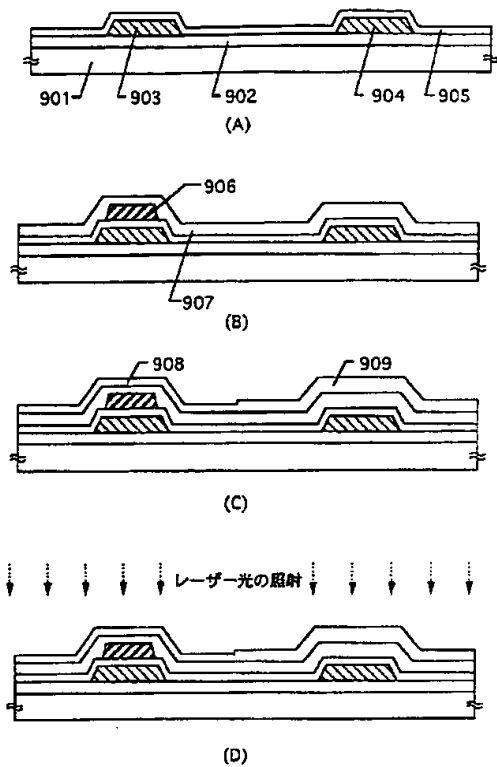
【図 8】

[FIGURE 8]



【図 9】

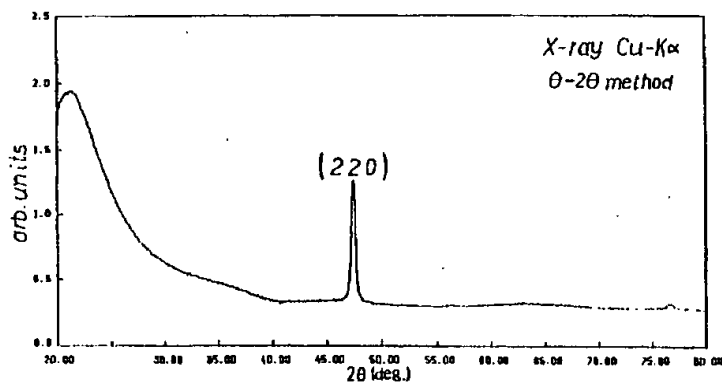
[FIGURE 9]



(D) Laser irradiation

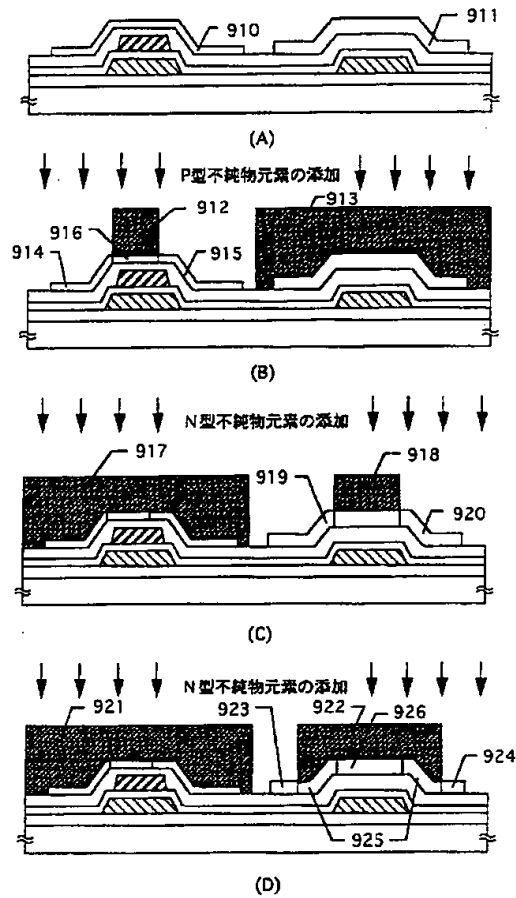
【図 1 7】

[FIGURE 17]



【図 1 0】

[FIGURE 10]

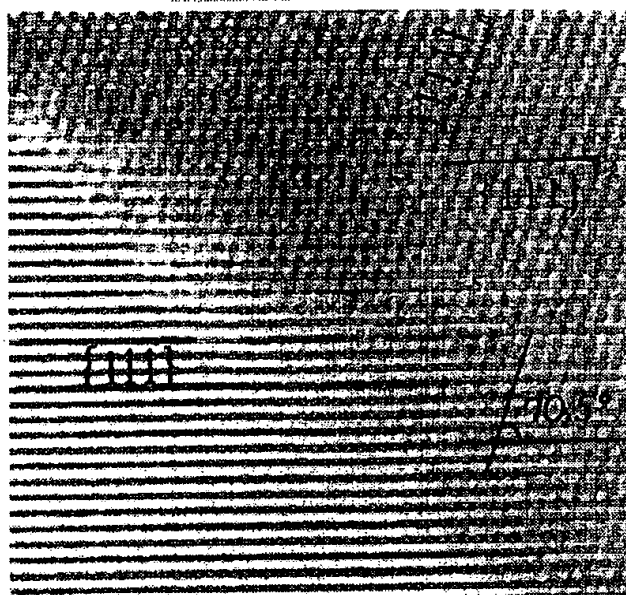


- (B) An addition of a P-type impurity element
- (C) An addition of a N-type impurity element
- (D) An addition of a N-type impurity element

【図 13】

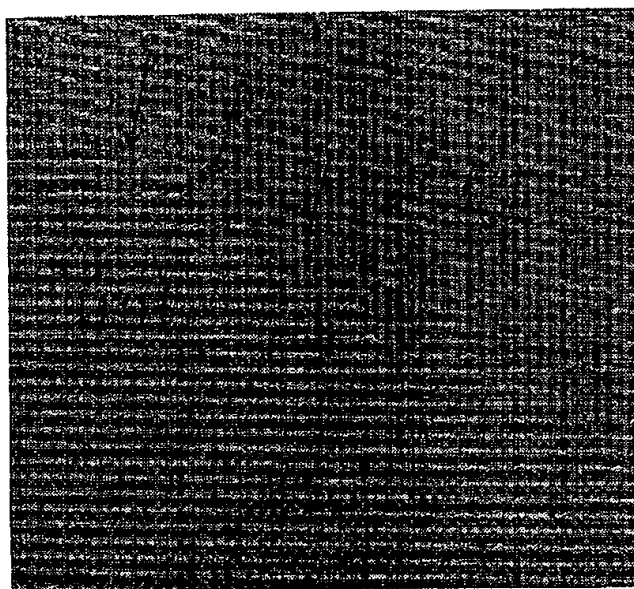
[FIGURE 13]

図面代用写真



5nm

(A)



5nm

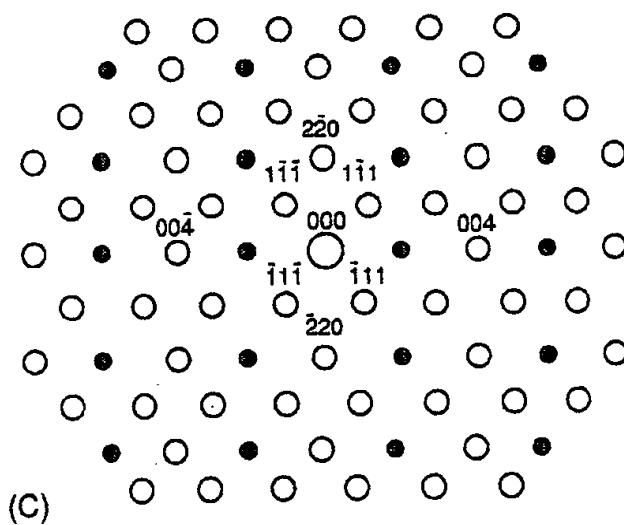
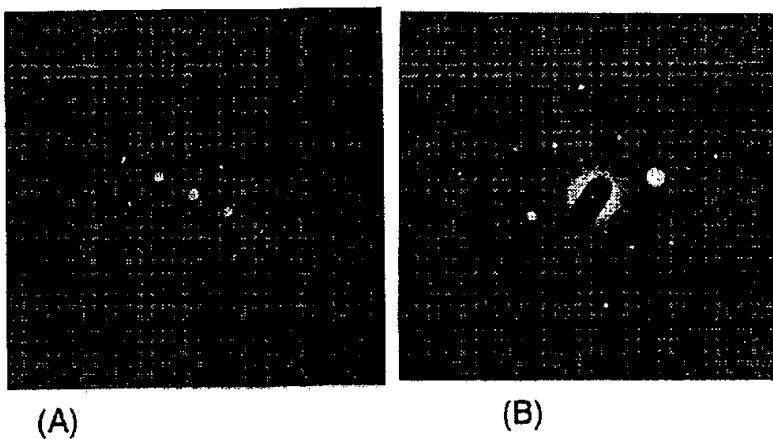
(B)

Drawing substitution photography

【図 14】

[FIGURE 14]

図面代用写真



Drawing substitution photography

【図 15】

[FIGURE 15]

図面代用写真



0.1 μm

(A)



0.1 μm

(B)

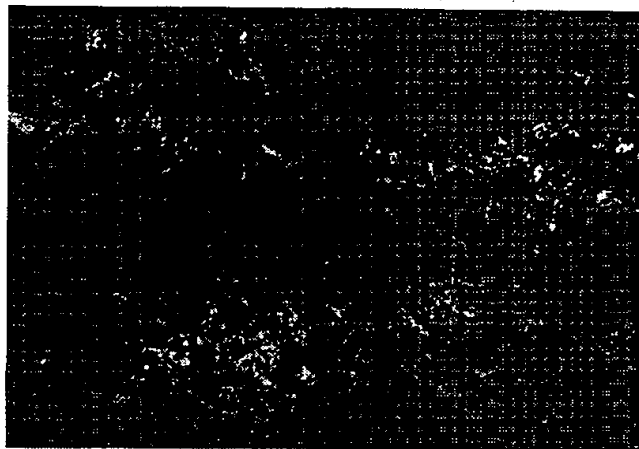
Drawing substitution photography



【図 16】

[FIGURE 16]

図面代用写真



2 μm

(A)



2 μm

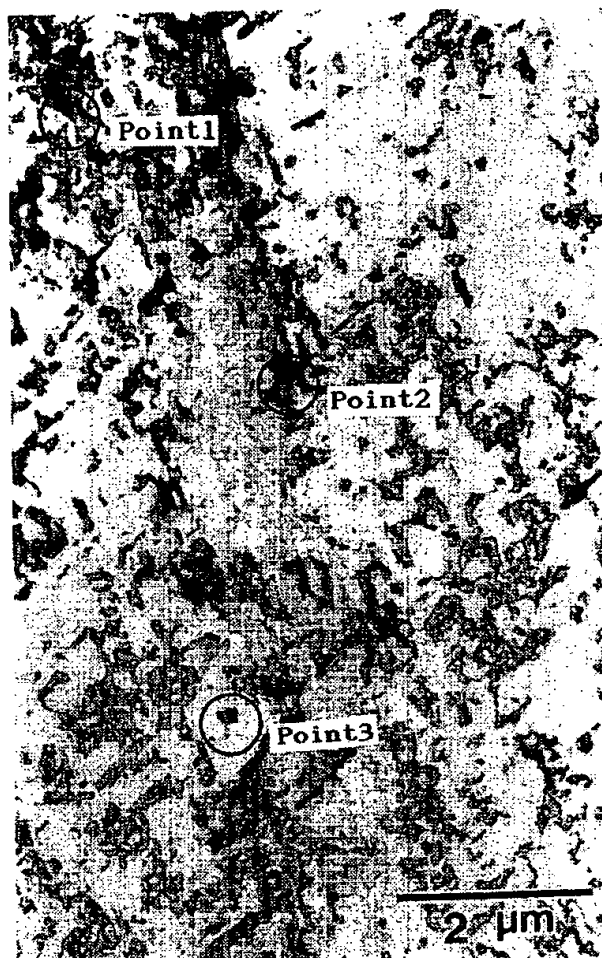
(B)

Drawing substitution photography

【図 18】

[FIGURE 18]

図面代用写真



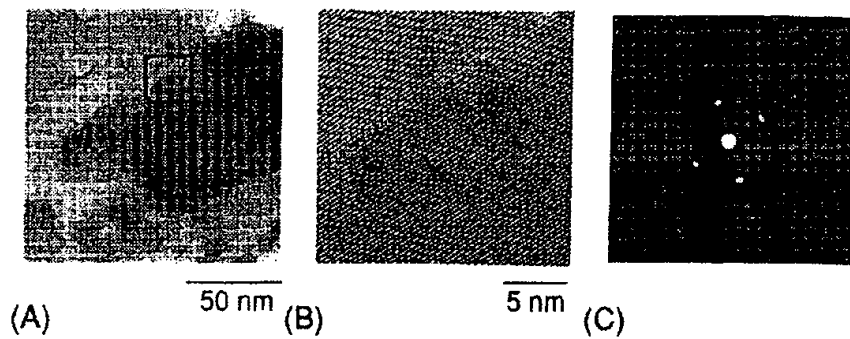
Drawing substitution photography

【図 19】

[FIGURE 19]

図面代用写真

〈Point 1〉



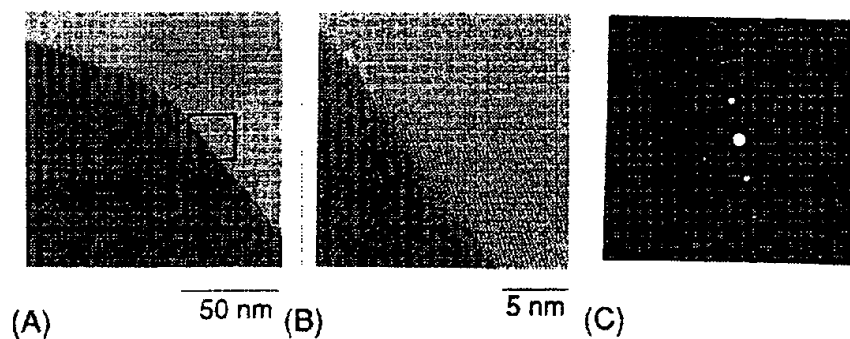
Drawing substitution photography

【図 20】

[FIGURE 20]

図面代用写真

〈Point 2〉



Drawing substitution photography

【図 21】

[FIGURE 21]

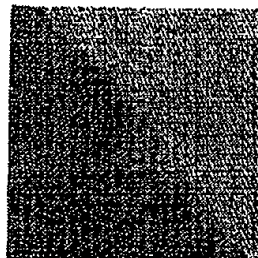
図面代用写真

〈Point 3〉



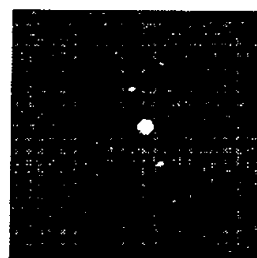
(A)

50 nm



(B)

5 nm



(C)

Drawing substitution photography